

Intel® Cyclone® 10 LP 器件数据手册

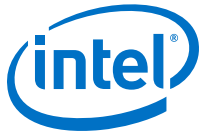


订阅

反馈

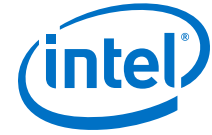
C10LP51002 | 2017.05.08

官网最新文档: [PDF](#) | [HTML](#)



内容

Cyclone® 10 LP 器件数据表	3
操作条件	3
绝对最大额定值	4
所允许的最大过冲或下冲电压	4
建议的操作条件	6
ESD 性能	7
DC 特性	7
I/O 标准规范	14
功耗	19
开关特性	20
内核性能规范	20
外设性能	25
I/O 时序	35
术语表	35
文档修订历史	41



Cyclone® 10 LP 器件数据表

本文档介绍了 Cyclone® 10 LP 器件的电气特性和开关特性，以及 I/O 时序，包括可编程 I/O 单元（IOE）延迟和可编程输出缓冲器延迟。

操作条件

系统中实现 Cyclone 10 LP 器件时，会根据一组确定参数对它们进行分级。

要保持 Cyclone 10 LP 器件可能的最高性能及可靠性，就必须考虑本文档所述的操作要求。Cyclone 10 LP 器件分为商用，工业，扩展和汽车等级，详情如下：

- -6（最快）和 -8 速度级用于商业器件
- -7 和 -8 速度级用于工业器件
- -7 速度级用于汽车器件

Cyclone 10 LP 器件内核电压分别为：

- 较低内核电压选项（1.0 V）—"Z"：用于 -I8 速度级
- 标准内核电压选项（1.2 V）—"Y"：用于 -C6，-C8，-I7，和 -A7 速度级

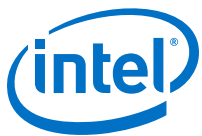
速度等级附带一个与操作温度范围相关的前缀：

- 商用器件前缀为"C"：-C6，-C8
- 工业器件前缀为"I"：-I7，-I8
- 汽车级为前缀"A"：-A7

相关链接

[Cyclone 10 LP 可用选项](#)，[Cyclone 10 LP 器件概述](#)

提供关于 Cyclone 10 LP 器件所支持速度等级的更多信息。



绝对最大额定值

绝对最大额定值定义了 Cyclone 10 LP 器件的最大操作条件。这些值是基于所述器件以及故障和损坏机理（breakdown and damage mechanism）理论模型的实验而得来。器件的功能性操作中不隐含这些条件。

警告: 超出下表所列范围的条件会造成器件永久性损坏。此外，若器件长时间在绝对最大额定值运行，也会对器件造成不良影响。

表 1. Cyclone 10 LP 器件的绝对最大额定值

电源电压规范适用于连接到相应接地的器件管脚处读取的电压，而并不是供电电源电压。

符号	说明	Min	Max	单位
V _{CCINT}	内核电源电压	- 0.5	1.8	V
V _{CCA}	锁相环（PLL）模拟电源	- 0.5	3.75	V
V _{CCD_PLL}	PLL 数字电源	- 0.5	1.8	V
V _{CCIO}	I/O bank 组电源	- 0.5	3.75	V
V _I	DC 输入电压	- 0.5	4.2	V
I _{OUT}	DC 输出电流，（每个管脚）	- 25	40	mA
T _{STG}	存储温度	- 65	150	°C
T _J	操作结温	- 40	125	°C

所允许的最大过冲或下冲电压

跳变期间，输入信号可能会过冲于下表所示电压之上，对于小于 100 mA 的输入电流和短于 20 ns 的周期，输入信号可能下冲至 - 2.0 V。下表罗列了所允许的最大输入过冲电压，以及器件生命周期中该过冲电压持续时间所占百分比。规定所允许的最长过冲持续时间为器件生命周期中峰值时所占的百分比。

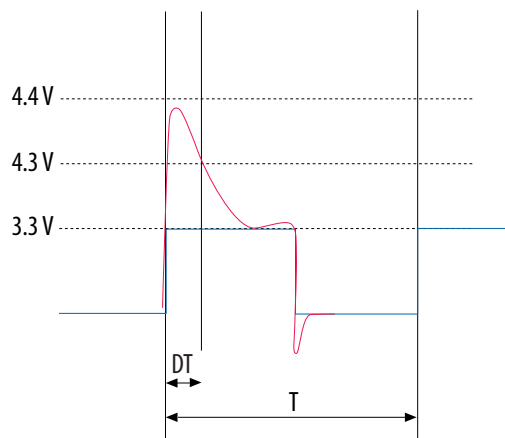
注意: DC 信号等同于 100% 占空比。例如，过冲至 4.3 V 的信号仅在器件生命周期的 65% 里达到 4.3 V；对于一个寿命为 10 年的器件，相当于一年的 65/10。

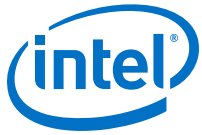
表 2. Cyclone 10 LP 器件 10 年中跳变期间所允许的最大过冲

符号	说明	条件(V)	过冲持续时间表示为峰值时间的%	单位
V _i	AC 输入电压	V _I = 4.20	100	%
		V _I = 4.25	98	%
		V _I = 4.30	65	%
		V _I = 4.35	43	%
		V _I = 4.40	29	%
		V _I = 4.45	20	%
		V _I = 4.50	13	%
		V _I = 4.55	9	%
		V _I = 4.60	6	%

下图中，红色曲线为 Cyclone 10 LP 器件的输入管脚上高于 4.3 V 但低于 4.4 V 的过冲电压。例如，对于 4.3 V 的过冲，10 年内过冲高峰的百分比可高达 65%。过冲高峰的百分比计作 $([\Delta T]/T) \times 100$ 。假定这 10 年间器件始终以 100% I/O 切换率和 50% 占空比信号运行。而对于处在较低 I/O 切换率和空闲状态的器件，其寿命随之延长。

图 1. Cyclone 10 LP 器件过冲持续时间





建议的操作条件

该小节说明 Cyclone 10 LP 器件中 AC 和 DC 参数的功能操作限制。

表 3. Cyclone 10 LP 器件的建议操作条件

此表列出了期望的 Cyclone 10 LP 器件稳态电压值。电源坡道必须严格保持单调，不能有平缓处。

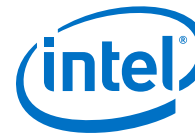
必须在器件操作期间上电所有 I/O bank 的 V_{CCIO} 。所有 V_{CCA} 管脚的电源必须为 2.5 V（即使在未使用 PLL 的情况下）且必须同时上电和断电。

符号	说明	条件	Min	典型值	Max	单位
$V_{CCINT}^{(1)}$	内部逻辑的电源电压	1.2-V 操作	1.15	1.2	1.25	V
		1.0-V 操作	0.97	1.0	1.03	V
$V_{CCIO}^{(1)(2)}$	输出缓冲器的电源电压	3.3-V 操作	3.135	3.3	3.465	V
		3.0-V 操作	2.85	3	3.15	V
		2.5-V 操作	2.375	2.5	2.625	V
		1.8-V 操作	1.71	1.8	1.89	V
		1.5-V 操作	1.425	1.5	1.575	V
		1.2-V 操作	1.14	1.2	1.26	V
$V_{CCA}^{(1)}$	PLL 稳压器（模拟）的电源电压	—	2.375	2.5	2.625	V
$V_{CCD_PLL}^{(1)}$	PLL 的电源（数字）电压	1.2-V 操作	1.15	1.2	1.25	V
		1.0-V 操作	0.97	1.0	1.03	V
V_I	输入电压	—	-0.5	—	3.6	V
V_O	输出电压	—	0	—	V_{CCIO}	V
T_J	操作结温	商业	0	—	85	°C
		工业	-40	—	100	°C

继续...

(1) V_{CC} 必须单调上升。

(2) V_{CCIO} 为所有输入缓冲器供电。



符号	说明	条件	Min	典型值	Max	单位
		扩展温度	-40	—	125	°C
		汽车	-40	—	125	°C
t _{RAMP}	电源斜坡时间	标准上电复位 (POR) ⁽³⁾	50 µs	—	50 ms	—
		Fast POR ⁽⁴⁾	50 µs	—	3 ms	—
I _{Diode}	使能时 PCI* 钳位二极管的 DC 电流强度	—	—	—	10	mA

ESD 性能

用于 Cyclone 10 LP 器件通用 I/O (GPIO) 和高速串行接口 (HSSI) I/O 的静电放电 (ESD) 电压采用人体放电模型 (HBM) 和组件充电模型 (CDM)。

表 4. 用于 Cyclone 10 LP 器件 GPIO 和 HSSI I/O 的 ESD

符号	说明	通过电压 (Passing Voltage)	单位
V _{ESDHBM}	使用 HBM (GPIOs) 的 ESD	± 2000	V
V _{ESDCDM}	使用 CDM (GPIOs) 的 ESD	± 500	V

DC 特性

电源电流

器件电源电流要求是从电源管脚抽取的最小电流量，可作为功耗规划的参考。使用基于 Excel 电子表格的早期功耗估算器 (EPE) 得到设计的电源电流估值，因为电流会随着使用资源的不同而有较大不同。

⁽³⁾ 标准 POR 的 POR 时间范围介于 50 至 200 ms 之间。每个独立电源必须在 50 ms 内达到建议的操作范围。

⁽⁴⁾ 快速 POR 的 POR 时间范围介于 3 至 9 ms 之间。每个独立电源必须在 3 ms 内达到建议的操作范围。

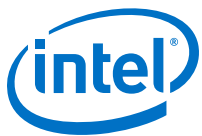


表 5. Cyclone 10 LP 器件的 I/O 管脚漏电流

该值指定用于普通器件操作。并在器件上电期间会有所变化。该值适用于所有 V_{CCIO} 设置 (3.3, 3.0, 2.5, 1.8, 1.5 和 1.2 V)。

内部钳位二极管关闭时可使用 10 μ A I/O 漏电流限制。当二极管开启时会观察到更高的电流。

符号	说明	条件	Min	Max	单位
I_I	输入管脚漏电流	$V_I = 0$ V 至 $V_{CCIOMAX}$	-10	10	μ A
I_{OZ}	三态 I/O 管脚漏电流	$V_O = 0$ V 至 $V_{CCIOMAX}$	-10	10	μ A

总线保持

总线保持被源驱动进入高阻抗状态或被移除后，会保留最后一个有效逻辑状态。每个 I/O 管脚都有一个在用户模式下使能总线保持的选项。在配置模式下，总线保持始终为禁用。

表 6. Cyclone 10 LP 器件的总线保持参数

总线保持跳变点基于 JEDEC 标准计算的输入电压。

参数	条件	V _{CCIO} (V)												单位
		1.2		1.5		1.8		2.5		3.0		3.3		
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
Bus hold low, sustaining current	V _{IN} > V _{IL} (最大)	8	—	12	—	30	—	50	—	70	—	70	—	μ A
Bus hold high, sustaining current	V _{IN} < V _{IL} (最小)	- 8	—	-12	—	-30	—	-50	—	-70	—	-70	—	μ A
Bus hold low, overdrive current	0 V < V _{IN} < V _{CCIO}	—	125	—	175	—	200	—	300	—	500	—	500	μ A
Bus hold high, overdrive current	0 V < V _{IN} < V _{CCIO}	—	-125	—	-175	—	- 200	—	-300	—	-500	—	-500	μ A
Bus hold trip point	—	0.3	0.9	0.375	1.125	0.68	1.07	0.7	1.7	0.8	2	0.8	2	V



OCT 规范

表 7. Cyclone 10 LP 器件处理，温度，和电压 (PVT) 规范中无校准的串行 OCT

说明	V_{CCIO} (V)	电阻容限		单位
		商用最大值	工业，扩展工业和汽车业最大值	
无校准的串行 OCT	3.0	±30	±40	%
	2.5	±30	±40	%
	1.8	±40	±50	%
	1.5	±50	±50	%
	1.2	±50	±50	%

表 8. Cyclone 10 LP 器件上电规范中带校准的串行 OCT

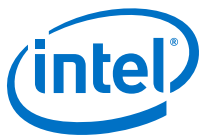
已使能 I/O 在器件上电时自动执行 OCT 校准。

说明	V_{CCIO} (V)	校准精度		单位
		商用最大值	工业，扩展工业和汽车业最大值	
器件上电时带有校准的串行 OCT	3.0	±10	±10	%
	2.5	±10	±10	%
	1.8	±10	±10	%
	1.5	±10	±10	%
	1.2	±10	±10	%

表 9. Cyclone 10 LP 器件上电时进行校准后 OCT 的电压和温度变化

使用下表，并参考器件上电时进行校准后的变化，确定 OCT 的最终阻值。

额定电压	dR/dT (%/°C)	dR/dV (%/mV)
3.0	0.262	-0.026
2.5	0.234	-0.039
继续...		



额定电压	dR/dT (%/°C)	dR/dV (%/mV)
1.8	0.219	- 0.086
1.5	0.199	- 0.136
1.2	0.161	- 0.288

最终 OCT 电阻公式

$$\Delta R_V = (V_2 - V_1) \times 1000 \times dR/dV \text{ (5) (6) (7) (8)}$$

$$\Delta R_T = (T_2 - T_1) \times dR/dT \text{ (9) (10) (11) (12)}$$

$$\Delta R_x < 0 \text{ 时; } MF_x = 1 / (|\Delta R_x|/100 + 1) \text{ (13) (14)}$$

$$\Delta R_x > 0 \text{ 时; } MF_x = \Delta R_x/100 + 1 \text{ (13) (14)}$$

$$MF = MF_V \times MF_T \text{ (14)}$$

(5) ΔR_V 是随电压的电阻变化。

(6) V_2 为最终电压。

(7) V_1 是初始电压。

(8) dR/dV 是器件上电时在校准后随电压产生的电阻变化的百分比。

(9) ΔR_T 是随温度的电阻变化。

(10) T_2 为最终温度。

(11) T_1 是初始温度。

(12) dR/dT 是器件上电时在校准后随温度产生的电阻变化的百分比。

(13) 下标 x 与 V 和 T 有关。

(14) MF 为倍频因子。



$$R_{\text{final}} = R_{\text{initial}} \times MF \text{ (14) (15) (16)}$$

阻抗变化实例

计算从 25°C@3.0 V 到 85°C@3.15 V 的 50-Ω I/O 阻抗的变化，具体如下：

$$\Delta R_V = (3.15 - 3) \times 1000 \times -0.026 = -3.83$$

$$\Delta R_T = (85 - 25) \times 0.262 = 15.72$$

ΔR_V 为负数，

$$\text{则 } MF_V = 1 / (3.83/100 + 1) = 0.963$$

ΔR_T 为正数，

$$\text{则 } MF_T = 15.72/100 + 1 = 1.157$$

$$MF = 0.963 \times 1.157 = 1.114$$

$$R_{\text{final}} = 50 \times 1.114 = 55.71 \Omega$$

管脚电容

表 10. Cyclone 10 LP 器件的管脚电容

该管脚电容适用于 FBGA, UBGA 和 MBGA 封装。

符号	说明	典型 - 四方扁平封装 (QFP)	典型 - 四方扁平无铅封装 (QFN)	典型 - 球栅阵列 (BGA)	单位
C _{IOTB}	顶部和底部 I/O 管脚上的输入电容	7	7	6	pF
C _{IOLR}	右侧 I/O 管脚上的输入电容	7	7	5	pF
C _{LVDSLR}	带有专用 LVDS 输出的 I/O 管脚上的输入电容	8	8	7	pF
继续...					

(15) R_{final} 是最终电阻。

(16) R_{initial} 初始电阻。



符号	说明	典型 – 四方扁平封装 (QFP)	典型 – 四方扁平无铅封装 (QFN)	典型 – 球栅阵列 (BGA)	单位
C _{VREFLR} ⁽¹⁷⁾	右侧双工 VREF 管脚被用作 V _{REF} 或用户 I/O 管脚时的输入电容	21	21	21	pF
C _{VREFTB} ⁽¹⁷⁾	顶部和底部双工 VREF 管脚用作 V _{REF} 或用户 I/O 管脚时的输入电容	23 ⁽¹⁸⁾	23	23	pF
C _{CLKTB}	顶部和底部专用时钟输入管脚上的输入电容	7	7	6	pF
C _{CLKLR}	右侧专用时钟输入管脚上的输入电容	6	6	5	pF

内部弱上拉和弱下拉电阻

表 11. Cyclone 10 器件的内部弱上拉和弱下拉电阻值

除了配置，测试和 JTAG 管脚之外，所有 I/O 管脚都有一个使能弱上拉电阻的选项。仅 JTAG TCK 管脚具有弱下拉电阻功能。

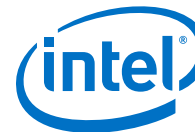
符号	说明	条件	Min	典型值	Max	单位
R_PU	配置前或配置期间，以及使能可编程上拉电阻选项的用户模式下，I/O 管脚上拉电阻的值。	V _{CCIO} = 3.3 V ± 5% (19) (20)	7	25	41	kΩ
		V _{CCIO} = 3.0 V ± 5% (19) (20)	7	28	47	kΩ
		V _{CCIO} = 2.5 V ± 5% (19) (20)	8	35	61	kΩ
		V _{CCIO} = 1.8 V ± 5% (19) (20)	10	57	108	kΩ
		V _{CCIO} = 1.5 V ± 5% (19) (20)	13	82	163	kΩ
		V _{CCIO} = 1.2 V ± 5% (19) (20)	19	143	351	kΩ
继续..						

(17) 将 VREF 管脚用作常规输入或输出管脚时，由于管脚电容较高，预计会出现切换速率和 t_{CO} 的性能降低。

(18) 用于 10CL025 器件的 C_{VREFTB} 为 30 pF。

(19) 如果外部源将管脚驱高到 V_{CCIO} 之上，则管脚上拉电阻值可能会变低。

(20) $R_{PU} = (V_{CCIO} - V_I) / I_{R_PU}$
 最低情况：-40°C；V_{CCIO} = V_{CC} + 5%，V_I = V_{CC} + 5% - 50 mV；
 标准情况：25°C；V_{CCIO} = V_{CC}，V_I = 0 V；
 最高情况：100°C；V_{CCIO} = V_{CC} - 5%，V_I = 0 V；其中 V_I 是指 I/O 管脚的输入电压。



符号	说明	条件	Min	典型值	Max	单位
R _{PD}	配置前和配置器件的 I/O 管脚下拉电阻值	V _{CCIO} = 3.3 V ± 5% ⁽²¹⁾	6	19	30	kΩ
		V _{CCIO} = 3.0 V ± 5% ⁽²¹⁾	6	22	36	kΩ
		V _{CCIO} = 2.5 V ± 5% ⁽²¹⁾	6	25	43	kΩ
		V _{CCIO} = 1.8 V ± 5% ⁽²¹⁾	7	35	71	kΩ
		V _{CCIO} = 1.5 V ± 5% ⁽²¹⁾	8	50	112	kΩ

热插拔

表 12. Cyclone 10 LP 器件的热插拔规范

在热插拔期间, I/O 管脚电容小于 15 pF, 且时钟管脚电容小于 20 pF。

符号	参数	最大值
I _{IOPIN(DC)}	DC current per I/O pin	300 μA
I _{IOPIN(AC)}	AC current per I/O pin	8 mA ⁽²²⁾
I _{XCVRTX(DC)}	DC current per transceiver TX pin	100 mA
I _{XCVRRX(DC)}	DC current per transceiver RX pin	50 mA

Schmitt 触发器输入

Cyclone 10 LP 器件支持 TDI, TMS, TCK, nSTATUS, nCONFIG, nCE, CONF_DONE 和 DCLK 管脚上的 Schmitt 触发输入。Schmitt 触发器特性将滞后作用引入输入信号, 以提高其抗噪性, 尤其是针对具有较慢边沿率的信号。

⁽²¹⁾ $R_{PD} = V_I / I_{R_PD}$

最低情况: -40°C; V_{CCIO} = V_{CC} + 5%, V_I = 50 mV;

标准情况: 25°C; V_{CCIO} = V_{CC}, V_I = V_{CC} - 5%;

最高情况: 100°C; V_{CCIO} = V_{CC} - 5%, V_I = V_{CC} - 5%; 其中 V_I 是指 I/O 管脚的输入电压。

⁽²²⁾ I/O 斜坡率(ramp rate)为 10 ns 或更多。对于高于 10 ns 的斜坡率, |I_{IOPIN}| = C dv/dt, 其中 C 是 I/O 管脚电容, dv/dt 是斜率 (slew rate)。

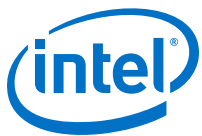


表 13. Cyclone 10 LP 器件中支持 V_{CCIO} 范围的 Schmitt 触发器输入滞后规范

符号	说明	条件(V)	最小值	单位
$V_{SCHMITT}$	Schmitt 触发器输入滞后	$V_{CCIO} = 3.3$	200	mV
		$V_{CCIO} = 2.5$	200	mV
		$V_{CCIO} = 1.8$	140	mV
		$V_{CCIO} = 1.5$	110	mV

I/O 标准规范

本小节中的表格罗列了 Cyclone 10 LP 器件支持的各种 I/O 标准的输入电压(V_{IH} 和 V_{IL})，输出电压(V_{OH} 和 V_{OL})和电流驱动特征 (I_{OH} 和 I_{OL})。

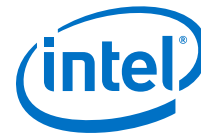
单端 I/O 标准规范

表 14. Cyclone 10 LP 器件的单端 I/O 标准规范

AC 负载, $C_L = 10$ pF

I/O 标准	V_{CCIO} (V)			V_{IL} (V)		V_{IH} (V)		V_{OL} (V)	V_{OH} (V)	I_{OL} (mA) (23)	I_{OH} (23) (mA)
	Min	典型值	Max	Min	Max	Min	Max	Max	Min		
3.3-V LVTTL	3.135	3.3	3.465	—	0.8	1.7	3.6	0.45	2.4	4	-4
3.3-V LVCMOS	3.135	3.3	3.465	—	0.8	1.7	3.6	0.2	$V_{CCIO} - 0.2$	2	-2
3.0-V LVTTL	2.85	3.0	3.15	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.45	2.4	4	-4
3.0-V LVCMOS	2.85	3.0	3.15	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.2	$V_{CCIO} - 0.2$	0.1	-0.1
2.5 V	2.375	2.5	2.625	-0.3	0.7	1.7	$V_{CCIO} + 0.3$	0.4	2.0	1	-1
1.8 V	1.71	1.8	1.89	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	2.25	0.45	$V_{CCIO} - 0.45$	2	-2
1.5 V	1.425	1.5	1.575	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	2	-2
继续...											

(23) 要符合 I_{OL} 和 I_{OH} 规范，必须相应地设置电流强度。例如，要符合 **3.3-V LVTTL** 规范（4 mA），要将电流强度设置为 4 mA 或更高。设置成较低的电流强度可能无法满足手册中的 I_{OL} 和 I_{OH} 规范。



I/O 标准	V _{CCIO} (V)			V _{IL} (V)		V _{IH} (V)		V _{OL} (V)	V _{OH} (V)	I _{OL} (mA) (23)	I _{OH} ⁽²³⁾ (mA)
	Min	典型值	Max	Min	Max	Min	Max	Max	Min		
1.2 V	1.14	1.2	1.26	-0.3	0.35 × V _{CCIO}	0.65 × V _{CCIO}	V _{CCIO} + 0.3	0.25 × V _{CCIO}	0.75 × V _{CCIO}	2	-2
3.0-V PCI	2.85	3.0	3.15	—	0.3 × V _{CCIO}	0.5 × V _{CCIO}	V _{CCIO} + 0.3	0.1 × V _{CCIO}	0.9 × V _{CCIO}	1.5	-0.5
3.0-V PCI-X	2.85	3.0	3.15	—	0.35 × V _{CCIO}	0.5 × V _{CCIO}	V _{CCIO} + 0.3	0.1 × V _{CCIO}	0.9 × V _{CCIO}	1.5	-0.5

相关链接

AN 447: 使用 3.3/3.0/2.5 V LVTTTL/LVCMOS I/O 系统连接 Altera 器件

提供关于通过 3.3/3.0/2.5-V LVTTTL/LVCMOS I/O 标准连接 Cyclone 10 LP 器件的更多信息。

单端 SSTL 和 HSTL I/O 参考电压规范

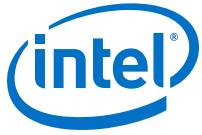
表 15. Cyclone 10 LP 器件的单端 SSTL 和 HSTL I/O 参考电压规范

I/O 标准	V _{CCIO} (V)			V _{REF} (V)			V _{TT} (V) ⁽²⁴⁾		
	Min	典型值	Max	Min	典型值	Max	Min	典型值	Max
SSTL-2 Class I, II	2.375	2.5	2.625	1.19	1.25	1.31	V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04
SSTL-18 Class I, II	1.7	1.8	1.9	0.833	0.9	0.969	V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04
HSTL-18 Class I, II	1.71	1.8	1.89	0.85	0.9	0.95	0.85	0.9	0.95
HSTL-15 Class I, II	1.425	1.5	1.575	0.71	0.75	0.79	0.71	0.75	0.79
HSTL-12 Class I, II	1.14	1.2	1.26	0.48 × V _{CCIO} ⁽²⁵⁾	0.5 × V _{CCIO} ⁽²⁵⁾	0.52 × V _{CCIO} ⁽²⁵⁾	—	0.5 × V _{CCIO}	—
				0.47 × V _{CCIO} ⁽²⁶⁾	0.5 × V _{CCIO} ⁽²⁶⁾	0.53 × V _{CCIO} ⁽²⁶⁾			

(23) 要符合 I_{OL} 和 I_{OH} 规范，必须相应地设置电流强度。例如，要符合 **3.3-V LVTTTL** 规范（4 mA），要将电流强度设置为 4 mA 或更高。设置成较低的电流强度可能无法满足手册中的 I_{OL} 和 I_{OH} 规范。

(24) 发送器件的 V_{TT} 必须遵循接收器件的 V_{REF}。

(25) 显示的值代表 DC 输入参考电压，V_{REF(DC)}。



单端 SSTL 和 HSTL I/O 标准信号规范

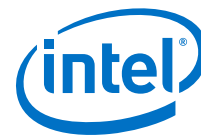
表 16. Cyclone 10 LP 器件的单端 SSTL 和 HSTL I/O 标准信号规范

I/O 标准	V _{IL(DC)} (V)		V _{IH(DC)} (V)		V _{IL(AC)} (V)		V _{IH(AC)} (V)		V _{OL} (V)	V _{OH} (V)	I _{OL} (mA)	I _{OH} (mA)
	Min	Max	Min	Max	Min	Max	Min	Max	Max	Min		
SSTL-2 Class I	—	V _{REF} - 0.18	V _{REF} + 0.18	—	—	V _{REF} - 0.35	V _{REF} + 0.35	—	V _{TT} - 0.57	V _{TT} + 0.57	8.1	-8.1
SSTL-2 Class II	—	V _{REF} - 0.18	V _{REF} + 0.18	—	—	V _{REF} - 0.35	V _{REF} + 0.35	—	V _{TT} - 0.76	V _{TT} + 0.76	16.4	-16.4
SSTL-18 Class I	—	V _{REF} - 0.125	V _{REF} + 0.125	—	—	V _{REF} - 0.25	V _{REF} + 0.25	—	V _{TT} - 0.475	V _{TT} + 0.475	6.7	-6.7
SSTL-18 Class II	—	V _{REF} - 0.125	V _{REF} + 0.125	—	—	V _{REF} - 0.25	V _{REF} + 0.25	—	0.28	V _{CCIO} - 0.28	13.4	-13.4
HSTL-18 Class I	—	V _{REF} - 0.1	V _{REF} + 0.1	—	—	V _{REF} - 0.2	V _{REF} + 0.2	—	0.4	V _{CCIO} - 0.4	8	-8
HSTL-18 Class II	—	V _{REF} - 0.1	V _{REF} + 0.1	—	—	V _{REF} - 0.2	V _{REF} + 0.2	—	0.4	V _{CCIO} - 0.4	16	-16
HSTL-15 Class I	—	V _{REF} - 0.1	V _{REF} + 0.1	—	—	V _{REF} - 0.2	V _{REF} + 0.2	—	0.4	V _{CCIO} - 0.4	8	-8
HSTL-15 Class II	—	V _{REF} - 0.1	V _{REF} + 0.1	—	—	V _{REF} - 0.2	V _{REF} + 0.2	—	0.4	V _{CCIO} - 0.4	16	-16
HSTL-12 Class I	-0.15	V _{REF} - 0.08	V _{REF} + 0.08	V _{CCIO} + 0.15	-0.24	V _{REF} - 0.15	V _{REF} + 0.15	V _{CCIO} + 0.24	0.25 × V _{CCIO}	0.75 × V _{CCIO}	8	-8
HSTL-12 Class II	-0.15	V _{REF} - 0.08	V _{REF} + 0.08	V _{CCIO} + 0.15	-0.24	V _{REF} - 0.15	V _{REF} + 0.15	V _{CCIO} + 0.24	0.25 × V _{CCIO}	0.75 × V _{CCIO}	14	-14

相关链接

Cyclone 10 LP 内核架构和通用 I/O 手册，器件章节中的 I/O 和高速 I/O。
提供关于接收器输入和发送器输出波形，以及其他差分 I/O 标准的更多信息。

(26) 显示的值代表 AC 输入参考电压，V_{REF(AC)}。



差分 SSTL I/O 标准规范

表 17. Cyclone 10 LP 器件的差分 SSTL I/O 标准规范

差分 SSTL 需要一个 V_{REF} 输入。

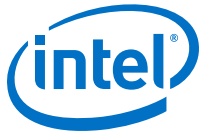
I/O 标准	V_{CCIO} (V)			$V_{Swing(DC)}$ (V)		$V_{X(AC)}$ (V)			$V_{Swing(AC)}$ (V)		$V_{OX(AC)}$ (V)		
	Min	典型值	Max	Min	Max	Min	典型值	Max	Min	Max	Min	典型值	Max
SSTL-2 Class I, II	2.375	2.5	2.625	0.36	V_{CCIO}	$V_{CCIO}/2 - 0.2$	—	$V_{CCIO}/2 + 0.2$	0.7	V_{CCIO}	$V_{CCIO}/2 - 0.125$	—	$V_{CCIO}/2 + 0.125$
SSTL-18 Class I, II	1.7	1.8	1.90	0.25	V_{CCIO}	$V_{CCIO}/2 - 0.175$	—	$V_{CCIO}/2 + 0.175$	0.5	V_{CCIO}	$V_{CCIO}/2 - 0.125$	—	$V_{CCIO}/2 + 0.125$

差分 HSTL I/O 标准规范

表 18. Cyclone 10 LP 器件的差分 HSTL I/O 标准规范

差分 HSTL 需要一个 V_{REF} 输入。

I/O 标准	V_{CCIO} (V)			$V_{DIF(DC)}$ (V)		$V_{X(AC)}$ (V)			$V_{CM(DC)}$ (V)			$V_{DIF(AC)}$ (V)	
	Min	典型值	Max	Min	Max	Min	典型值	Max	Min	典型值	Max	Min	Max
HSTL-18 Class I, II	1.71	1.8	1.89	0.2	—	0.85	—	0.95	0.85	—	0.95	0.4	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.2	—	0.71	—	0.79	0.71	—	0.79	0.4	—
HSTL-12 Class I, II	1.14	1.2	1.26	0.16	V_{CCIO}	$0.48 \times V_{CCIO}$	—	$0.52 \times V_{CCIO}$	$0.48 \times V_{CCIO}$	—	$0.52 \times V_{CCIO}$	0.3	$0.48 \times V_{CCIO}$



差分 I/O 标准规范

表 19. Cyclone 10 LP 器件的差分 I/O 标准规范

I/O 标准	V _{CCIO} (V)			V _{ID} (mV)		V _{ICM} (V) ⁽²⁷⁾			V _{OD} (mV) ⁽²⁸⁾			V _{OS} (V) ⁽²⁸⁾		
	Min	典型值	Max	Min	Max	Min	条件	Max	Min	典型值	Max	Min	典型值	Max
LVPECL (行 I/O) ⁽²⁹⁾	2.375	2.5	2.625	100	—	0.05	D _{MAX} ≤ 500 Mbps	1.80	—	—	—	—	—	—
						0.55	≤ 500 Mbps D _{MAX} ≤ 700 Mbps	1.80						
						1.05	D _{MAX} > 700 Mbps	1.55						
LVPECL (列 I/O) ⁽²⁹⁾	2.375	2.5	2.625	100	—	0.05	D _{MAX} ≤ 500 Mbps	1.80	—	—	—	—	—	—
						0.55	500 Mbps ≤ D _{MAX} ≤ 700 Mbps	1.80						
						1.05	D _{MAX} > 700 Mbps	1.55						
LVDS (行 I/O)	2.375	2.5	2.625	100	—	0.05	D _{MAX} ≤ 500 Mbps	1.80	247	—	600	1.125	1.25	1.375
						0.55	500 Mbps ≤ D _{MAX} ≤ 700 Mbps	1.80						
						1.05	D _{MAX} > 700 Mbps	1.55						
LVDS (列 I/O)	2.375	2.5	2.625	100	—	0.05	D _{MAX} ≤ 500 Mbps	1.80	247	—	600	1.125	1.25	1.375
						0.55	500 Mbps ≤ D _{MAX} ≤ 700 Mbps	1.80						
						1.05	D _{MAX} > 700 Mbps	1.55						
BLVDS (行 I/O) ⁽³⁰⁾	2.375	2.5	2.625	100	—	—	—	—	—	—	—	—	—	—

继续...

⁽²⁷⁾ V_{IN} 范围: 0 V ≤ V_{IN} ≤ 1.85 V。

⁽²⁸⁾ R_L 范围: 90 ≤ R_L ≤ 110 Ω。

⁽²⁹⁾ 仅专用时钟输入管脚支持 LVPECL I/O 标准。输出管脚不支持此 I/O 标准。



I/O 标准	V _{CCIO} (V)			V _{ID} (mV)		V _{ICM} (V) ⁽²⁷⁾			V _{OD} (mV) ⁽²⁸⁾			V _{OS} (V) ⁽²⁸⁾		
	Min	典型值	Max	Min	Max	Min	条件	Max	Min	典型值	Max	Min	典型值	Max
BLVDS (列 I/O) ⁽³⁰⁾	2.375	2.5	2.625	100	—	—	—	—	—	—	—	—	—	—
mini-LVDS (行 I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	300	—	600	1.0	1.2	1.4
mini-LVDS (列 I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	300	—	600	1.0	1.2	1.4
RSDS (行 I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	100	200	600	0.5	1.2	1.5
RSDS (列 I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	100	200	600	0.5	1.2	1.5
PPDS (行 I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	100	200	600	0.5	1.2	1.4
PPDS (列 I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	100	200	600	0.5	1.2	1.4

功耗

使用下述方法估算设计中的功耗:

- 基于 Excel 的 EPE
- Quartus Prime 功耗分析仪功能

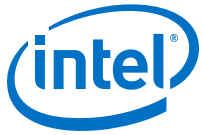
在设计器件之前使用基于 Excel 的交互式 EPE, 以对器件功耗进行量级估算。Quartus Prime 功耗分析仪基于完成布局布线后的设计细节来提供更高质量的判断。功耗分析仪综合应运用户输入, 仿真导出和被估算信号的活动, 并结合详细的电路模型, 从而得到非常准确的功耗判断。

⁽²⁷⁾ V_{IN} 范围: 0 V ≤ V_{IN} ≤ 1.85 V。

⁽²⁸⁾ R_L 范围: 90 ≤ R_L ≤ 110 Ω。

⁽³⁰⁾ BLVDS 没有固定的 V_{IN}, V_{OD} 和 V_{OS} 规范。且取决于系统拓扑。

⁽³¹⁾ 仅输入管脚支持 Mini-LVDS, RSDS 和 PPDS 标准。



相关链接

- 早期功耗估算器用户指南
提供关于功耗估算工具的详细信息。
- 功耗分析章节, [Quartus Prime Standard Edition \(标准版\) 手册第 3 卷: 验证](#)
提供关于功耗估算工具的详细信息。

开关特性

本小节介绍商业级器件 Cyclone 10 LP 内核和外设模块的性能特性。

内核性能规范

时钟树规范

表 20. Cyclone 10 LP 器件的时钟树性能

器件	性能					单位
	C6	C8	I7	I8	A7	
10CL006	500	402	437.5	362	402	MHz
10CL010	500	402	437.5	362	402	MHz
10CL016	500	402	437.5	362	402	MHz
10CL025	500	402	437.5	362	402	MHz
10CL040	500	402	437.5	362	402	MHz
10CL055	500	402	437.5	362	—	MHz
10CL080	500	402	437.5	362	—	MHz
10CL120	—	402	437.5	362	—	MHz

PLL 规范

Cyclone 10 LP 器件 PLL 规范适用的商用结温范围为 (0°C 至 85°C), 工业结温范围为 (–40°C 至 100°C), 扩展工业结温范围为 (–40°C 至 125°C) 和汽车业结温范围为 (–40°C 至 125°C)。

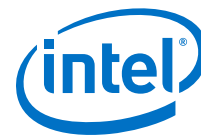


表 21. Cyclone 10 LP 器件的 PLL 规范

本表格适用于通用 PLL 和多用 PLL。

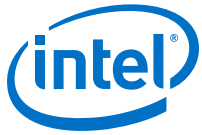
必须通过去耦电容和铁氧体磁珠将 V_{CCD_PLL} 连接到 V_{CCINT}。

符号	说明	Min	典型值	Max	单位
f _{IN} ⁽³²⁾	输入时钟频率 (- C6, - C8, - I7, 和 - A7 速度等级)	5	—	472.5	MHz
	输入时钟频率 (- I8 速度等级)	5	—	362	MHz
f _{INPFD}	PFD 输入频率	5	—	325	MHz
f _{VCO} ⁽³³⁾	PLL VCO 操作范围	600	—	1300	MHz
f _{INDUTY}	输入时钟占空比	40	—	60	%
t _{INJITTER_CCJ} ⁽³⁴⁾	输入时钟周期-周期 (cycle-to-cycle) 抖动 F _{REF} ≥ 100 MHz	—	—	0.15	UI
	F _{REF} < 100 MHz	—	—	±750	ps
f _{OUT_EXT} (外部时钟输出) ⁽³²⁾	PLL 输出频率	—	—	472.5	MHz
f _{OUT} (到全局时钟)	PLL 输出频率 (- C6 速度等级)	—	—	472.5	MHz
	PLL 输出频率 (- I7, - A7 速度等级)	—	—	450	MHz
	PLL 输出频率 (- C8 速度等级)	—	—	402.5	MHz
	PLL 输出频率 (- I8 速度等级)	—	—	362	MHz
t _{OUTDUTY}	外部时钟输出的占空比 (设置为 50%时)	45	50	55	%
t _{LOCK}	器件配置结束后进行锁定所需的时间	—	—	1	ms
继续...					

(32) 在 Quartus Prime 软件中此参数受 I/O 最大频率限制。而每种 I/O 标准的最大 I/O 频率各不相同。

(33) 由于 Quartus Prime 软件编译报告中 PLL 汇总部分的 V_{CO} 频率有考虑到 V_{CO} 后缩放计数器的 K 值。因此，如果计数器 K 的值为 2，则所报告的频率会低于 f_{VCO} 规范。

(34) 高输入抖动直接影响 PLL 输出抖动。要达到低 PLL 输出时钟抖动，就必须提供一个低于 200 ps 的干净时钟源。



符号	说明	Min	典型值	Max	单位
t_{DLOCK}	动态锁定所需的时间（切换或重配置任何非后缩放计数器/延迟或 areset 被置低后）	—	—	1	ms
$t_{\text{OUTJITTER_PERIOD_DEDCLK}}^{(35)}$	专用时钟输出周期抖动 $F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	300	ps
	$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	30	mUI
$t_{\text{OUTJITTER_CCJ_DEDCLK}}^{(35)}$	专用时钟输出周期-周期抖动 $F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	300	ps
	$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	30	mUI
$t_{\text{OUTJITTER_PERIOD_IO}}^{(35)}$	普通 I/O 周期抖动 $F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	650	ps
	$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	75	mUI
$t_{\text{OUTJITTER_CCJ_IO}}^{(35)}$	普通 I/O 周期-周期抖动 $F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	650	ps
	$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	75	mUI
$t_{\text{PLL_PSERR}}$	PLL 相移精度	—	—	± 50	ps
t_{ARESET}	areset 信号上的最小脉冲宽度。	10	—	—	ns
$t_{\text{CONFIGPLL}}$	为 PLL 重配置扫描链所需的时间	—	3.5 ⁽³⁶⁾	—	SCANCLK 周期
f_{SCANCLK}	scanclk 频率	—	—	100	MHz
$t_{\text{CASC_OUTJITTER_PERIOD_DEDCLK}}^{(37)(38)}$	级联 PLL 中专用时钟输出的周期抖动 ($F_{\text{OUT}} \geq 100 \text{ MHz}$)	—	—	425	ps
	级联 PLL 中专用时钟输出的周期抖动 ($F_{\text{OUT}} \geq 100 \text{ MHz}$)	—	—	42.5	mUI

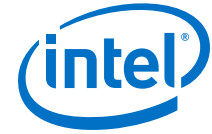
(35) 10^{-12} 概率水平的峰-峰（14 sigma，99.9999999974404%置信水平）。应用 30 ps 的输入抖动时，输出抖动规范适用于 PLL 的固有抖动。

(36) 采用 100-MHz scanclk 频率。

(37) 级联 PLL 规范仅适用于下列条件：

- 上游 PLL— $0.59 \text{ MHz} \geq$ 上游 PLL 带宽 $< 1 \text{ MHz}$
- 下游 PLL—下游 PLL 带宽 $> 2 \text{ MHz}$

(38) PLL 级联不适用于收发器应用。



嵌入式乘法器规范

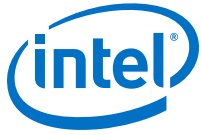
表 22. Cyclone 10 LP 器件的嵌入式乘法器规范

模式	使用的资源	性能				单位
	乘法器个数	C6	I7, A7	C8	I8	
9 × 9-bit 乘法器	1	340	300	260	240	MHz
18 × 18-bit 乘法器	1	287	250	200	185	MHz

存储器模块规范

表 23. Cyclone 10 LP 器件的 M9K 存储器模块性能规范

存储器	模式	使用的资源		性能				单位
		LEs	M9K 存储器	C6	I7, A7	C8	I8	
M9K 模块	FIFO 256 × 36	47	1	315	274	238	200	MHz
	单端口 256 × 36	0	1	315	274	238	200	MHz
	简单双端口 256 × 36 CLK	0	1	315	274	238	200	MHz
	真双端口 512 × 18 单 CLK	0	1	315	274	238	200	MHz



配置和 JTAG 规范

表 24. Cyclone 10 LP 器件的被动配置模式规范

编程模式	V _{CCINT} 电压电平 (V)	DCLK f _{MAX}	单位
被动串行 (PS)	1.0 ⁽³⁹⁾	66	MHz
	1.2	133	MHz
快速被动并行 (FPP) ⁽⁴⁰⁾	1.0 ⁽³⁹⁾	66	MHz
	1.2 ⁽⁴¹⁾	100	MHz

表 25. Cyclone 10 LP 器件的主动配置模式规范

编程模式	DCLK 范围	典型 DCLK	单位
主动串行 (AS)	20 至 40	33	MHz

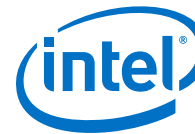
表 26. Cyclone 10 LP 器件的 JTAG 时序参数

符号	参数	Min	Max	单位
t _{JCP}	TCK clock period	40	—	ns
t _{JCH}	TCK clock high time	19	—	ns
t _{JCL}	TCK clock low time	19	—	ns
t _{JPSU_TDI}	JTAG port setup time for TDI	1	—	ns
t _{JPSU_TMS}	JTAG port setup time for TMS	3	—	ns
t _{JPH}	JTAG port hold time	10	—	ns
t _{JPCO}	JTAG port clock to output ⁽⁴²⁾	—	15	ns
继续...				

⁽³⁹⁾ V_{CCINT} = 1.0 V 仅支持用于 Cyclone 10 LP 1.0 V 内核电压器件。

⁽⁴⁰⁾ FPP 配置模式支持所有 Cyclone 10 LP 器件 (E144 封装器件除外)。

⁽⁴¹⁾ Cyclone 10 LP 1.2 V 内核电压器件仅支持 133 MHz DCLK f_{MAX} 用于 10CL006, 10CL010, 10CL016, 10CL025, 和 10CL040。



符号	参数	Min	Max	单位
t _{JPZX}	JTAG port high impedance to valid output ⁽⁴²⁾	—	15	ns
t _{JPXZ}	JTAG port valid output to high impedance ⁽⁴²⁾	—	15	ns
t _{JSSU}	Capture register setup time	5	—	ns
t _{JSH}	Capture register hold time	10	—	ns
t _{JSCO}	Update register clock to output	—	25	ns
t _{JSZX}	Update register high impedance to valid output	—	25	ns
t _{JSXZ}	Update register valid output to high impedance	—	25	ns

相关链接

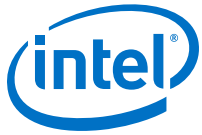
[Cyclone 10 LP 内核架构和通用 I/O 手册](#), Cyclone 10 LP 器件章节中的配置和远程系统更新。
提供关于 PS 和 FPP 配置时序参数的更多信息。

外设性能

I/O 性能支持多种系统接口, 例如高速 I/O 接口和 PCI/PCI-X 总线接口。使用通用 I/O 标准的 I/O。例如 3.3-, 3.0-, 2.5-, 1.8-, 或 1.5-LVTTL/LVCMOS 适用于采用 10 pF 负载的典型 200 MHz 接口频率。

注意: 实际可达到的频率取决于设计和系统具体因素。根据具体的设计和系统设置来执行 HSPICE/IBIS 仿真, 以确定在您的系统中能达到的最大频率。

⁽⁴²⁾ 所显示的规范用于 JTAG 管脚 3.3-, 3.0-, 和 2.5-V LVTTL/LVCMOS 操作。对于 1.8-V LVTTL/LVCMOS 和 1.5-V LVCMOS, 输出时间规范 16 ns。



高速 I/O 规范

RSDS 发送器时序规范

表 27. Cyclone 10 LP 器件的 RSDS 发送器时序规范

适用于真 RSDS 和仿真 RSDS_E_3R 发送器。

仅行 I/O Bank 组 1, 2, 5 和 6 的输出管脚支持真 RSDS 发送器。所有 I/O Bank 组的输出管脚都支持仿真 RSDS 发送器。

符号	模式	C6			I7			C8, A7			I8			单位
		Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	
f_{HCLK} (输入时钟频率)	×10	5	—	180	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×8	5	—	180	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×7	5	—	180	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×4	5	—	180	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×2	5	—	180	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×1	5	—	360	5	—	311	5	—	311	5	—	311	MHz
器件运行以 Mbps 为单位	×10	100	—	360	100	—	311	100	—	311	100	—	311	Mbps
	×8	80	—	360	80	—	311	80	—	311	80	—	311	Mbps
	×7	70	—	360	70	—	311	70	—	311	70	—	311	Mbps
	×4	40	—	360	40	—	311	40	—	311	40	—	311	Mbps
	×2	20	—	360	20	—	311	20	—	311	20	—	311	Mbps
	×1	10	—	360	10	—	311	10	—	311	10	—	311	Mbps
t_{DUTY}	—	45	—	55	45	—	55	45	—	55	45	—	55	%
发送器通道到通道偏斜 (TCCS)	—	—	—	200	—	—	200	—	—	200	—	—	200	ps
输出抖动 (峰-峰)	—	—	—	500	—	—	500	—	—	550	—	—	600	ps
继续...														



符号	模式	C6			I7			C8, A7			I8			单位
		Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	
t_{RISE}	20 - 80%, $C_{LOAD} = 5 \text{ pF}$	—	500	—	—	500	—	—	500	—	—	500	—	ps
t_{FALL}	20 - 80%, $C_{LOAD} = 5 \text{ pF}$	—	500	—	—	500	—	—	500	—	—	500	—	ps
$t_{LOCK}^{(43)}$	—	—	—	1	—	—	1	—	—	1	—	—	1	ms

仿真 RSDS_E_1R 发送器时序规范

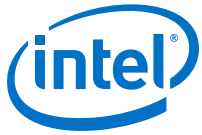
表 28. Cyclone 10 LP 器件的仿真 RSDS_E_1R 发送器时序规范

所有 I/O Bank 组的输出管脚都支持仿真 RSDS_E_1R 发送器。

符号	模式	C6			I7			C8, A7			I8			单位
		Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	
f_{HSCLK} (输入时钟频率)	×10	5	—	85	5	—	85	5	—	85	5	—	85	MHz
	×8	5	—	85	5	—	85	5	—	85	5	—	85	MHz
	×7	5	—	85	5	—	85	5	—	85	5	—	85	MHz
	×4	5	—	85	5	—	85	5	—	85	5	—	85	MHz
	×2	5	—	85	5	—	85	5	—	85	5	—	85	MHz
	×1	5	—	170	5	—	170	5	—	170	5	—	170	MHz
器件运行以 Mbps 为单位	×10	100	—	170	100	—	170	100	—	170	100	—	170	Mbps
	×8	80	—	170	80	—	170	80	—	170	80	—	170	Mbps
	×7	70	—	170	70	—	170	70	—	170	70	—	170	Mbps
	×4	40	—	170	40	—	170	40	—	170	40	—	170	Mbps
	×2	20	—	170	20	—	170	20	—	170	20	—	170	Mbps
	×1	10	—	170	10	—	170	10	—	170	10	—	170	Mbps

继续...

⁽⁴³⁾ t_{LOCK} 是 PLL 从器件配置结束进行锁定所需要的时间。



符号	模式	C6			I7			C8, A7			I8			单位
		Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	
t_{DUTY}	—	45	—	55	45	—	55	45	—	55	45	—	55	%
TCCS	—	—	—	200	—	—	200	—	—	200	—	—	200	ps
输出抖动 (峰-峰)	—	—	—	500	—	—	500	—	—	550	—	—	600	ps
t_{RISE}	20 - 80%, $C_{LOAD} = 5 \text{ pF}$	—	500	—	—	500	—	—	500	—	—	500	—	ps
t_{FALL}	20 - 80%, $C_{LOAD} = 5 \text{ pF}$	—	500	—	—	500	—	—	500	—	—	500	—	ps
$t_{LOCK}^{(44)}$	—	—	—	1	—	—	1	—	—	1	—	—	1	ms

Mini-LVDS 发送器时序规范

表 29. Cyclone 10 LP 器件的 Mini-LVDS 发送器时序规范

适用于真实和仿真 mini-LVDS 发送器。

仅行 I/O Bank 组 1, 2, 5 和 6 的输出管脚支持真 mini-LVDS 发送器。所有 I/O Bank 组的输出管脚都支持仿真 mini-LVDS 发送器。

符号	模式	C6			I7			C8, A7			I8			单位
		Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	
f_{HCLK} (输入时钟频率)	×10	5	—	200	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×8	5	—	200	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×7	5	—	200	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×4	5	—	200	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×2	5	—	200	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×1	5	—	400	5	—	311	5	—	311	5	—	311	MHz
继续...														

(44) t_{LOCK} 是 PLL 从器件配置结束进行锁定所需要的时间。



符号	模式	C6			I7			C8, A7			I8			单位
		Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	Min	典型值	Max	
器件运行以 Mbps 为单位	×10	100	—	400	100	—	311	100	—	311	100	—	311	Mbps
	×8	80	—	400	80	—	311	80	—	311	80	—	311	Mbps
	×7	70	—	400	70	—	311	70	—	311	70	—	311	Mbps
	×4	40	—	400	40	—	311	40	—	311	40	—	311	Mbps
	×2	20	—	400	20	—	311	20	—	311	20	—	311	Mbps
	×1	10	—	400	10	—	311	10	—	311	10	—	311	Mbps
t _{DUTY}	—	45	—	55	45	—	55	45	—	55	45	—	55	%
TCCS	—	—	—	200	—	—	200	—	—	200	—	—	200	ps
输出抖动 (峰-峰)	—	—	—	500	—	—	500	—	—	550	—	—	600	ps
t _{RISE}	20 - 80%, C _{LOAD} = 5 pF	—	500	—	—	500	—	—	500	—	—	500	—	ps
t _{FALL}	20 - 80%, C _{LOAD} = 5 pF	—	500	—	—	500	—	—	500	—	—	500	—	ps
t _{LOCK} ⁽⁴⁵⁾	—	—	—	1	—	—	1	—	—	1	—	—	1	ms

真 LVDS 发送器时序规范

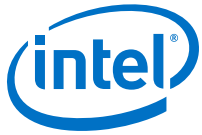
表 30. Cyclone 10 LP 器件的真 LVDS 发送器时序规范

仅行 I/O Bank 组 1, 2, 5 和 6 的输出管脚支持真 LVDS 发送器。

符号	模式	C6		I7		C8, A7		I8		单位
		Min	Max	Min	Max	Min	Max	Min	Max	
f _{HSCLK} (输入时钟频率)	×10	5	420	5	370	5	320	5	320	MHz
	×8	5	420	5	370	5	320	5	320	MHz
	×7	5	420	5	370	5	320	5	320	MHz

继续...

⁽⁴⁵⁾ t_{LOCK} 是 PLL 从器件配置结束进行锁定所需要的时间。



符号	模式	C6		I7		C8, A7		I8		单位
		Min	Max	Min	Max	Min	Max	Min	Max	
	×4	5	420	5	370	5	320	5	320	MHz
	×2	5	420	5	370	5	320	5	320	MHz
	×1	5	420	5	402.5	5	402.5	5	362	MHz
HSIODR	×10	100	840	100	740	100	640	100	640	Mbps
	×8	80	840	80	740	80	640	80	640	Mbps
	×7	70	840	70	740	70	640	70	640	Mbps
	×4	40	840	40	740	40	640	40	640	Mbps
	×2	20	840	20	740	20	640	20	640	Mbps
	×1	10	420	10	402.5	10	402.5	10	362	Mbps
t _{DUTY}	—	45	55	45	55	45	55	45	55	%
TCCS	—	—	200	—	200	—	200	—	200	ps
输出抖动 (峰-峰)	—	—	500	—	500	—	550	—	600	ps
t _{LOCK} ⁽⁴⁶⁾	—	—	1	—	1	—	1	—	1	ms

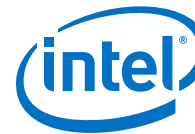
仿真 LVDS 发送器时序规范

表 31. Cyclone 10 LP 器件的仿真 LVDS 发送器时序规范

所有 I/O Bank 组的输出管脚都支持仿真 LVDS 发送器。

符号	模式	C6		I7		C8, A7		I8		单位
		Min	Max	Min	Max	Min	Max	Min	Max	
f _{HCLK} (输入时钟频率)	×10	5	320	5	320	5	275	5	275	MHz
	×8	5	320	5	320	5	275	5	275	MHz
	×7	5	320	5	320	5	275	5	275	MHz
继续...										

⁽⁴⁶⁾ t_{LOCK} 是 PLL 从器件配置结束进行锁定所需要的时间。



符号	模式	C6		I7		C8, A7		I8		单位
		Min	Max	Min	Max	Min	Max	Min	Max	
HSIODR	×4	5	320	5	320	5	275	5	275	MHz
	×2	5	320	5	320	5	275	5	275	MHz
	×1	5	402.5	5	402.5	5	402.5	5	362	MHz
	×10	100	640	100	640	100	550	100	550	Mbps
	×8	80	640	80	640	80	550	80	550	Mbps
	×7	70	640	70	640	70	550	70	550	Mbps
	×4	40	640	40	640	40	550	40	550	Mbps
t _{DUTY}	×2	20	640	20	640	20	550	20	550	Mbps
	×1	10	402.5	10	402.5	10	402.5	10	362	Mbps
	—	45	55	45	55	45	55	45	55	%
TCCS	—	—	200	—	200	—	200	—	200	ps
输出抖动 (峰-峰)	—	—	500	—	500	—	550	—	600	ps
t _{LOCK} ⁽⁴⁷⁾	—	—	1	—	1	—	1	—	1	ms

LVDS 接收器时序规范

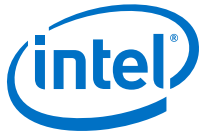
表 32. Cyclone 10 LP 器件的 LVDS 接收器时序规范

所有 I/O Bank 组都支持 LVDS 接收器。

符号	模式	C6		I7		C8, A7		I8		单位
		Min	Max	Min	Max	Min	Max	Min	Max	
f _{HSCLK} (输出时钟频率)	×10	10	437.5	10	370	10	320	10	320	MHz
	×8	10	437.5	10	370	10	320	10	320	MHz
	×7	10	437.5	10	370	10	320	10	320	MHz

继续...

⁽⁴⁷⁾ t_{LOCK} 是 PLL 从器件配置结束进行锁定所需要的时间。



符号	模式	C6		I7		C8, A7		I8		单位
		Min	Max	Min	Max	Min	Max	Min	Max	
	×4	10	437.5	10	370	10	320	10	320	MHz
	×2	10	437.5	10	370	10	320	10	320	MHz
	×1	10	437.5	10	402.5	10	402.5	10	362	MHz
HSIODR	×10	100	875	100	740	100	640	100	640	Mbps
	×8	80	875	80	740	80	640	80	640	Mbps
	×7	70	875	70	740	70	640	70	640	Mbps
	×4	40	875	40	740	40	640	40	640	Mbps
	×2	20	875	20	740	20	640	20	640	Mbps
	×1	10	437.5	10	402.5	10	402.5	10	362	Mbps
SW	—	—	400	—	400	—	400	—	550	ps
输入抖动容限	—	—	500	—	500	—	550	—	600	ps
t _{LOCK} ⁽⁴⁸⁾	—	—	1	—	1	—	1	—	1	ms

占空比失真规范

表 33. Cyclone 10 LP 器件 I/O 管脚上占空比失真的最坏情况

占空比失真规范适用于来自 PLL，全局时钟树，和 IOE 驱动的专用和通用 I/O 管脚的时钟输出。

Cyclone 10 LP 器件符合每个 I/O 标准和电流强度组合最大输出切换率下所指定的占空比失真。

符号	C6		I7		C8, I8, A7		单位
	Min	Max	Min	Max	Min	Max	
输出占空比	45	55	45	55	45	55	%

⁽⁴⁸⁾ t_{LOCK} 是 PLL 从器件配置结束进行锁定所需要的时间。



OCT 校准时序规范

表 34. Cyclone 10 LP 器件上电时进行带校准的串行 OCT 的时序规范

器件配置之后和进入用户模式以前进行 OCT 校准。

符号	说明	Maximum	单位
t _{OCTCAL}	器件上电时带校准的串行 OCT 持续时长	20	μs

IOE 可编程延迟

设置的增量值一般为线性。使用最新版 Quartus Prime 软件获得各设置的准确值。

参考 Quartus Prime 软件中的设置 0 获得最小和最大偏移时序代号。

表 35. Cyclone 10 LP 1.0 V 内核电压器件列管脚上的 IOE 可编程延迟

参数	受影响的路径	设置的步数	最小偏移	最大偏移		单位
				快速转角 (Fast Corner)	慢速转角 (Slow Corner)	
				I8	I8	
Input delay from pin to internal cells	焊盘— I/O 数据输出—内核	7	0	1.924	3.411	ns
Input delay from pin to input register	焊盘—I/O 输入寄存器	8	0	1.875	3.367	ns
Delay from output register to output pin	I/O 输出寄存器到焊盘	2	0	0.631	1.124	ns
Input delay from dual-purpose clock pin to fan-out destinations	焊盘—全局时钟网络	12	0	0.931	1.684	ns

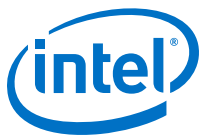


表 36. Cyclone 10 LP 1.0 V 内核电压器件行管脚上的 IOE 可编程延迟

参数	受影响的路径	设置的步数	最小偏移	最大偏移		单位
				快速转角	慢速转角	
				I8	I8	
Input delay from pin to internal cells	焊盘— I/O 数据输出—内核	7	0	1.921	3.412	ns
Input delay from pin to input register	焊盘—I/O 输入寄存器	8	0	1.919	3.441	ns
Delay from output register to output pin	I/O 输出寄存器—焊盘	2	0	0.623	1.168	ns
Input delay from dual-purpose clock pin to fan-out destinations	焊盘—全局时钟网络	12	0	0.919	1.656	ns

表 37. Cyclone 10 LP 1.2 V 内核电压器件列管脚上的 IOE 可编程延迟

参数	受影响的路径	设置的步数	最小偏移	最大偏移							单位
				快速转角			慢速转角				
				C6	I7	A7	C6	C8	I7	A7	
Input delay from pin to internal cells	焊盘— I/O 数据输出—内核	7	0	1.314	1.211	1.211	2.177	2.433	2.388	2.508	ns
Input delay from pin to input register	焊盘—I/O 输入寄存器	8	0	1.307	1.203	1.203	2.19	2.540	2.430	2.545	ns
Delay from output register to output pin	I/O 输出寄存器—焊盘	2	0	0.437	0.402	0.402	0.747	0.880	0.834	0.873	ns
Input delay from dual-purpose clock pin to fan-out destinations	焊盘—全局时钟网络	12	0	0.693	0.665	0.665	1.200	1.532	1.393	1.441	ns



表 38. Cyclone 10 LP 1.2 V 内核电压器件行管脚上的 IOE 可编程延迟

参数	受影响的路径	设置的数量	最小偏移	最大偏移							单位
				快速转角			慢速转角				
				C6	I7	A7	C6	C8	I7	A7	
Input delay from pin to internal cells	焊盘— I/O 数据输出—内核	7	0	1.314	1.209	1.209	2.201	2.510	2.429	2.548	ns
Input delay from pin to input register	暗盘—I/O 输入寄存器	8	0	1.312	1.207	1.207	2.202	2.558	2.447	2.557	ns
Delay from output register to output pin	I/O 输出寄存器—焊盘	2	0	0.458	0.419	0.419	0.783	0.924	0.875	0.915	ns
Input delay from dual-purpose clock pin to fan-out destinations	焊盘—全局时钟网络	12	0	0.686	0.657	0.657	1.185	1.506	1.376	1.422	ns

I/O 时序

可使用 Quartus Prime 时序分析仪 (Timing Analyzer) 来确定 I/O 时序。

在完成布局布线后, Quartus Prime Timing Analyzer 根据设计特征提供一个更精准的 I/O 时序数据。

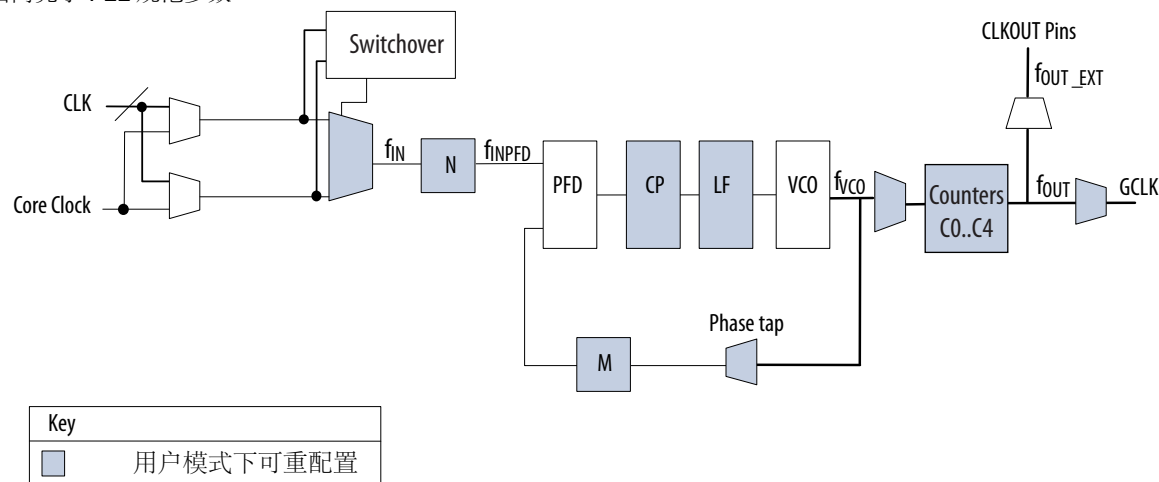
术语表

术语

- 接收器输入偏斜裕量 (RSKM) — 高速 I/O 模块: 计算采样窗口和 TCCS 后剩下的总裕量。 $RSKM = (TUI - SW - TCCS) / 2$ 。
- SW (采样窗口) — 高速 I/O 模块: 该时间周期内数据必须有效以正确采集。设置和保持时间决定采样窗口中理想的选通位置。

时钟管脚和模块

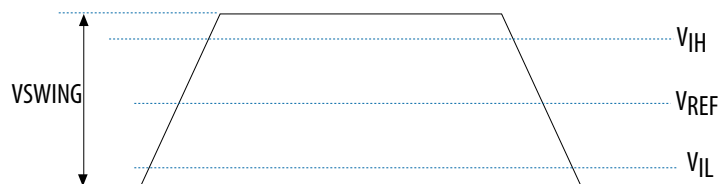
- f_{HCLK} —高速 I/O 模块：高速接收器/发送器输入和输出时钟频率。
- GCLK—输入管脚直接连接到全局时钟网络。
- GCLK PLL—输入管脚通过 PLL 连接到全局时钟网络。
- HSIODR—高速 I/O 模块：最大/最小 LVDS 数据传输率 ($\text{HSIODR} = 1/\text{TUI}$) 。
- PLL 模块—下图高亮了 PLL 规范参数



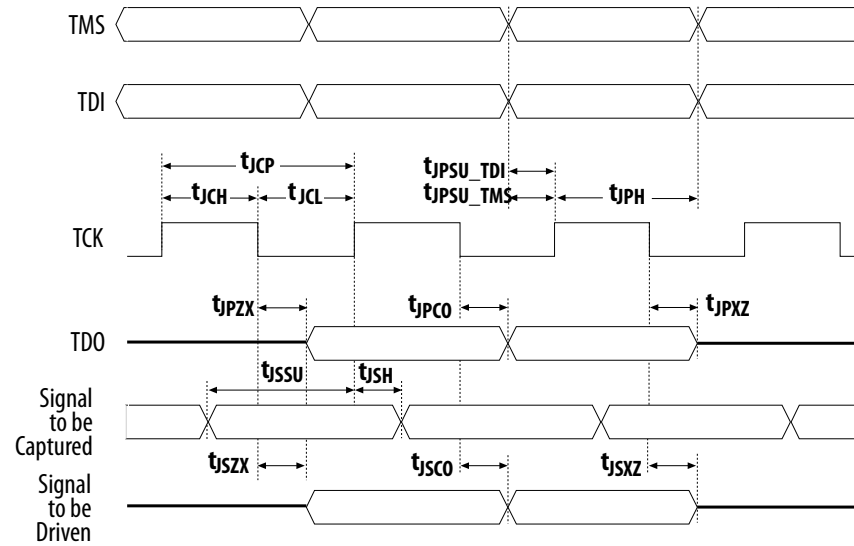
- R_L —接收器差分输入分立电阻 (Cyclone 10 LP 器件外部) 。

实例波形

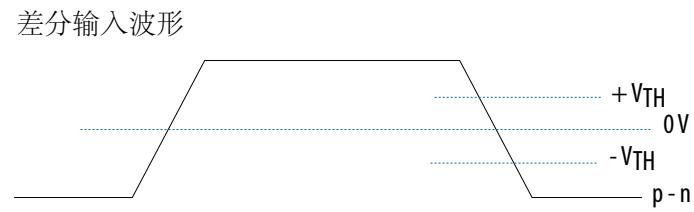
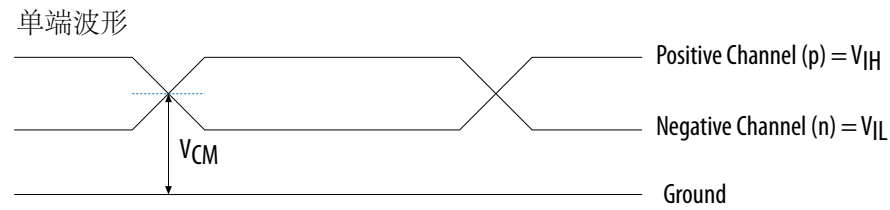
SSTL 差分 I/O 标准的输入波形



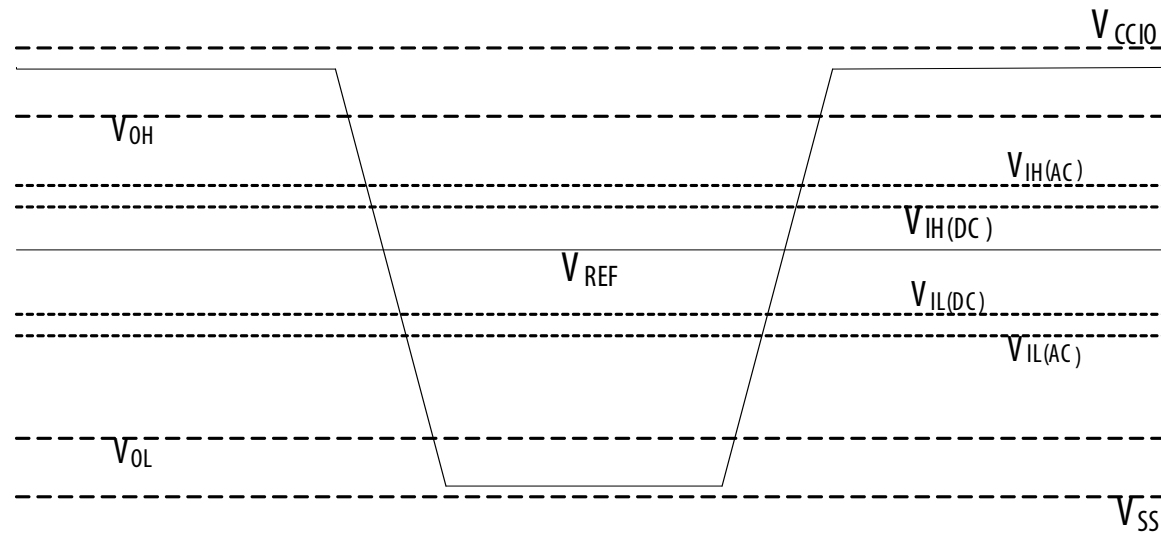
JTAG 波形

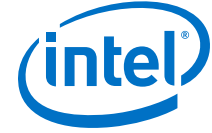


LVDS 和 LVPECL 差分标准的接收器波形



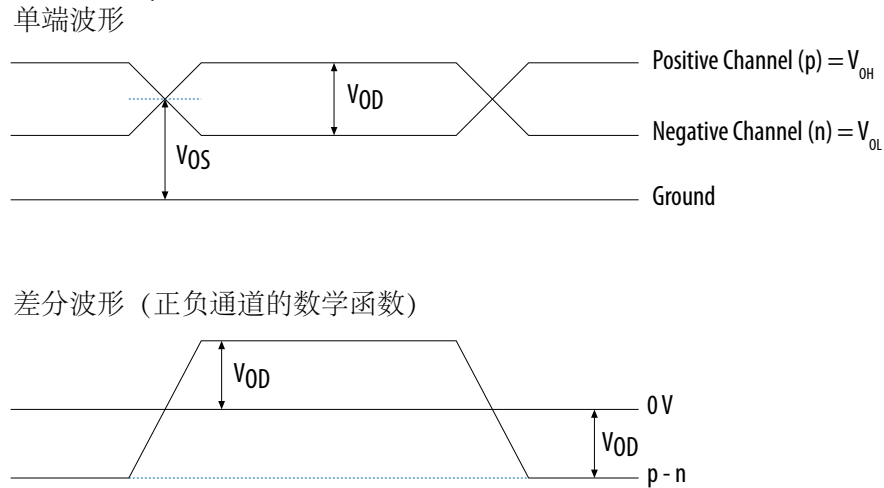
单端参考电压 I/O 标准





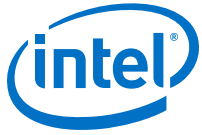
SSTI 和 HSTL I/O 的 JEDEC 标准定义了 AC 和 DC 输入信号值。AC 值表示接收器必须符合其时序规范时的电压电平。DC 值表示明确定义接收器最终逻辑状态时的电压电平。接收器输入突破 AC 值后，接收器转变成新的逻辑状态。只要输入持续超出 DC 阈值，则保持这个新的逻辑状态。该方法旨在出现输入波形振铃时提供可预测的接收器时序。

LVDS, Mini-LVDS, PPDS 和 RSDS 差分 I/O 标准的发送器输出波形:



延迟定义

- t_C —高速接收器和发送器输入和输出时钟周期。
- 通道-通道-偏斜 (TCCS) —高速 I/O 模块: 最快与最慢输出沿之间的时序差, 包括 t_{CO} 变体和时钟偏斜。该时钟包含在 TCCS 测量中。
- t_{cin} —从时钟焊盘 (clock pad) 到 I/O 输入寄存器。
- t_{CO} —从时钟焊盘到 I/O 输出的延迟。
- t_{cout} —从时钟焊盘到 I/O 输出寄存器的延迟。
- t_{DUTY} —高速 I/O 模块: 高速发送器输出时钟上的占空比。
- t_{FALL} —信号从高电平到低电平的跳变时间 (80 – 20%)。
- t_H —输入寄存器保持时间。
- 时序单元间隔 (TUI) —高速 I/O 模块: 支持用于偏斜, 传播延迟和数据采样窗口的时序预算。 ($TUI = 1/(\text{接收器输入时钟频率倍频因子}) = t_C/w$)。



- t_{INJITTER} —PLL 时钟输入上的周期抖动。
- $t_{\text{OUTJITTER_DEDCLK}}$ —由 PLL 驱动的专用时钟输出上的周期抖动。
- $t_{\text{OUTJITTER_IO}}$ —由 PLL 驱动的通用 I/O 上的周期抖动。
- t_{pllcin} —从 PLL inclk 焊盘到 I/O 输入寄存器的延迟。
- t_{pllcout} —从 PLL inclk 焊盘到 I/O 输出寄存器的延迟。
- t_{RISE} —信号由低到高跳变的时间 (20 – 80%)。
- t_{SU} —输入寄存器设置时间。

电压定义

- $V_{\text{CM(DC)}}$ —DC 共模输入电压。
- $V_{\text{DIF(AC)}}$ —AC 差分输入电压：需用于切换的最小 AC 输入差分电压。
- $V_{\text{DIF(DC)}}$ —DC 差分输入电压：需用于切换的最小 DC 输入差分电压。
- V_{ICM} —输入共模电压：接收器上差分信号的共模。
- V_{ID} —输入差分电压摆幅—接收器上一个差分传输的正导体与补导体之间的电压差。
- V_{IH} —电压输入高：器件接受作为逻辑高电平的输入其应用的最小正电压。
- $V_{\text{IH(AC)}}$ —高电平 AC 输入电压。
- $V_{\text{IH(DC)}}$ —高电平 DC 输入电压。
- V_{IL} —电压输入低：器件接受作为逻辑高电平的输入其应用的最大正电压。
- $V_{\text{IL (AC)}}$ —低电平 AC 输入电压。
- $V_{\text{IL (DC)}}$ —低电平 DC 输入电压。
- V_{IN} —DC 输入电压。
- V_{OCM} —输出共模电压：发送器上差分信号的共模。
- V_{OD} —输出差分电压摆幅：发送器上一个差分传输的正导体和补导体之间的电压差。 $V_{\text{OD}} = V_{\text{OH}} - V_{\text{OL}}$ 。
- V_{OH} —电压输出高：器件认为来自输出的最大正电压可作为最小正高电平。
- V_{OL} —电压输出低：器件认为来自输出的最大正电压可作为最大正低电平。
- V_{OS} —输出偏移电压： $V_{\text{OS}} = (V_{\text{OH}} + V_{\text{OL}}) / 2$ 。



- $V_{OX(AC)}$ —AC 差分输出交叉点电压：此电压上的差分输出信号必须交叉。
- V_{REF} —SSTL 和 HSTL I/O 标准的参考电压。
- $V_{REF(AC)}$ —SSTL 和 HSTL I/O 标准的 AC 输入参考电压。 $V_{REF(AC)} = V_{REF(DC)} + \text{噪声}$ 。The peak-to-peak noise on V_{REF} 上的峰-峰 AC 噪声一定不可超出 $V_{REF(DC)}$ 的 2%。
- $V_{REF(DC)}$ —SSTL 和 HSTL I/O 标准的 DC 输入参考电压。
- $V_{SWING(AC)}$ —AC 差分输入电压：需用于切换的 AC 输入差分电压。对于 SSTL 差分 I/O 标准，请参阅输入波形。
- $V_{SWING(DC)}$ —DC 差分输入电压：需用于切换的 DC 输入差分电压。对于 SSTL 差分 I/O 标准，请参阅输入波形。
- V_{TT} —SSTL 和 HSTL I/O 标准的端接电压。
- $V_{X(AC)}$ —AC 差分输入交叉点电压：此电压上的差分输入信号必须交叉。

文档修订历史

表 39. 文档修订历史

日期	版本	修订内容
2017 年 5 月	2017.05.08	首次发布。