



如果不解决进出 FPGA 的信号完整性问题，那么当今复杂的 FPGA 系统设计就是不完整的。同步开关噪声 (SSN) 所导致的信号失真通常会致使信号完整性降低，从而降低系统的噪声容限。

为避免信号完整性的问题，Altera 建议您遵循 MAX[®] 10 器件的设计考量，I/O 布局指南和电路板设计指南，包括：

- I/O 布局规则
- 电压参考 I/O 标准
- 高速 LVDS，锁相环 (PLL) 和时钟
- 外部存储器接口
- 模拟到数字转换器

Altera 建议在 PCB 布局前，在您的 FPGA 设计中提前执行 SSN 分析。

定义

本章节所使用的术语包括：

- **Aggressor:** 导致 victim I/O 管脚噪声的输出或双向信号
- **PDN:** 电源分配网络
- **QH:** 管脚上的静高电平信号
- **QHN:** 管脚上的静高噪声,以伏特测量
- **QL:** 管脚上的静低电平信号
- **QLN:** 管脚上的静低噪声,以伏特测量
- **SI:** 信号完整性(SSN 的超集,涵盖所有噪声源)
- **SSN:** 同步开关噪声
- **SSO:** 同步开关输出(输出或者双向管脚)
- **Victim:** SSN 分析期间被分析的输入、输出或双向管脚。在 SSN 分析期间,每个管脚都被作为一个 victim 进行分析。如果管脚为输出或双向管脚，那么相同的管脚用作其它管脚的 aggressor 信号。

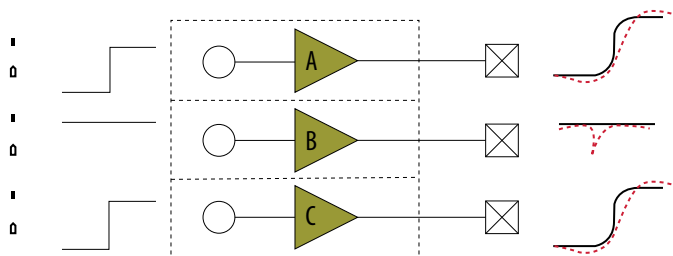
了解 SSN

SSN 被定义为由于器件上的其它 aggressor I/O 管脚的切换行为而导致的器件上单一 victim I/O 管脚上的感应噪声电压。SSN 可以被分为两类噪声:电压噪声和时序噪声。

在一个包括 3 个管脚的采样系统中，两个管脚(A 和 C)在切换，而一个管脚(B)处于安静状态。如果管脚被单独驱动,那么缓冲器输出上的电压波形表现为无噪声干扰,如图左侧的实曲线所示。然而,当管脚 A 和 C 同时切换时,那么切换所产生的噪声被注入到其它的管脚。此噪声自身显现为管脚 B 上的电压噪声和管脚 A 和 C 上的时序噪声。

图 1: 包括 3 个管脚的系统

在此图中，虚曲线表示管脚 B 上的电压噪声和管脚 A 和 C 上的时序噪声。



当 SSN 导致信号电压发生变化时测量电压噪声。当信号为 QH 时，它被测量为对 0 V 的电压变化。当信号为 QL 时，它被测量为对 V_{CC} 电压变化。

在两种最差情况下，SSO 可能导致电压噪声：

- victim 管脚处于高电平并且 aggressor 管脚(SSO)正在从低到高切换。
- victim 管脚处于低电平并且 aggressor 管脚(SSO)正在从高到低切换。

图 2: 管脚 B 上的静高输出噪声评估

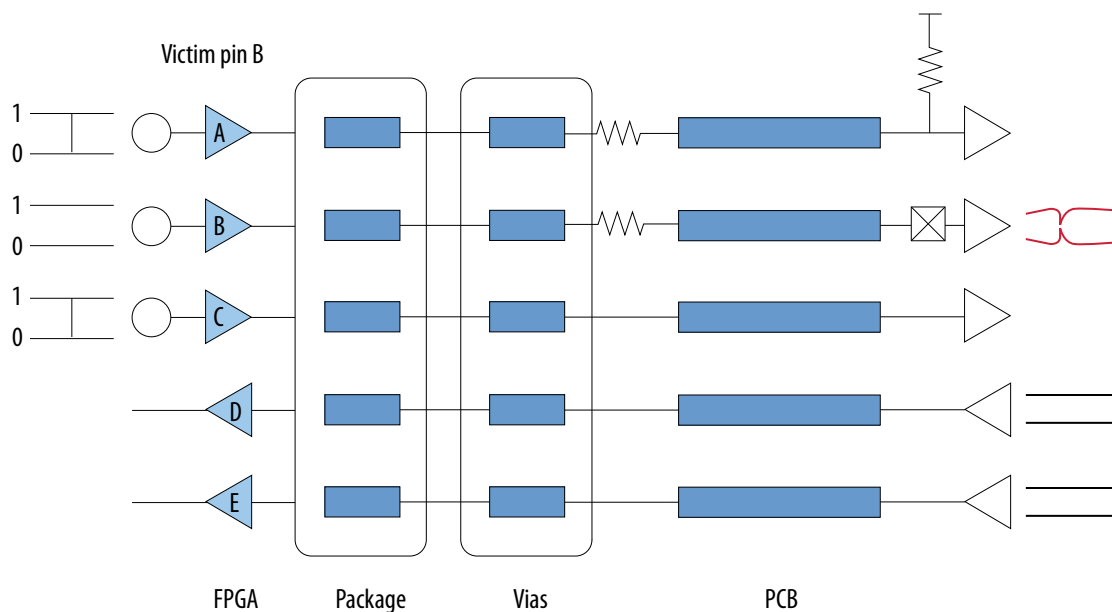
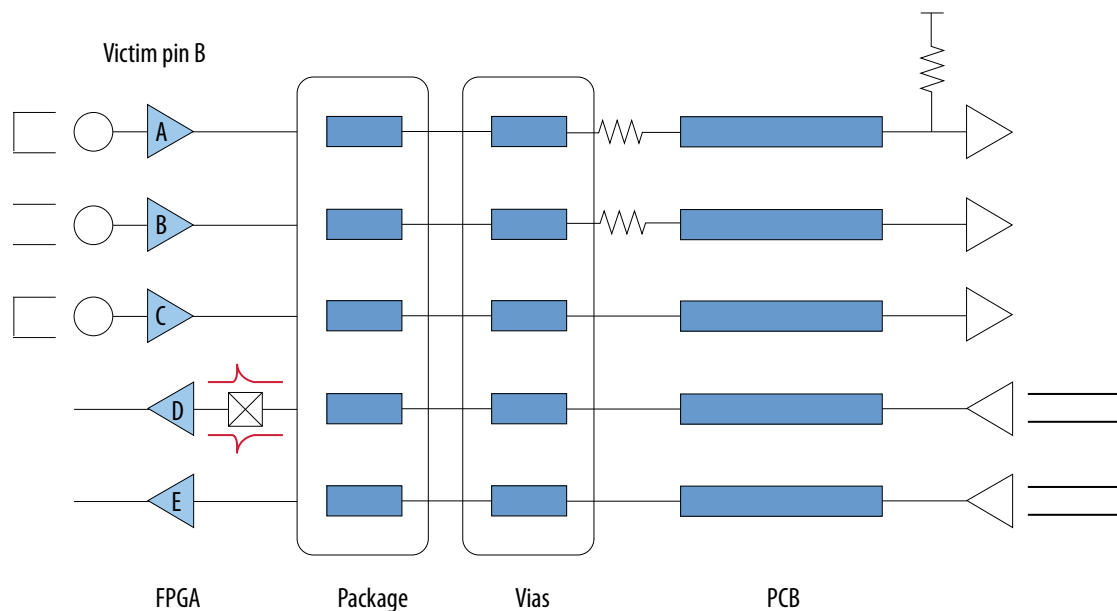
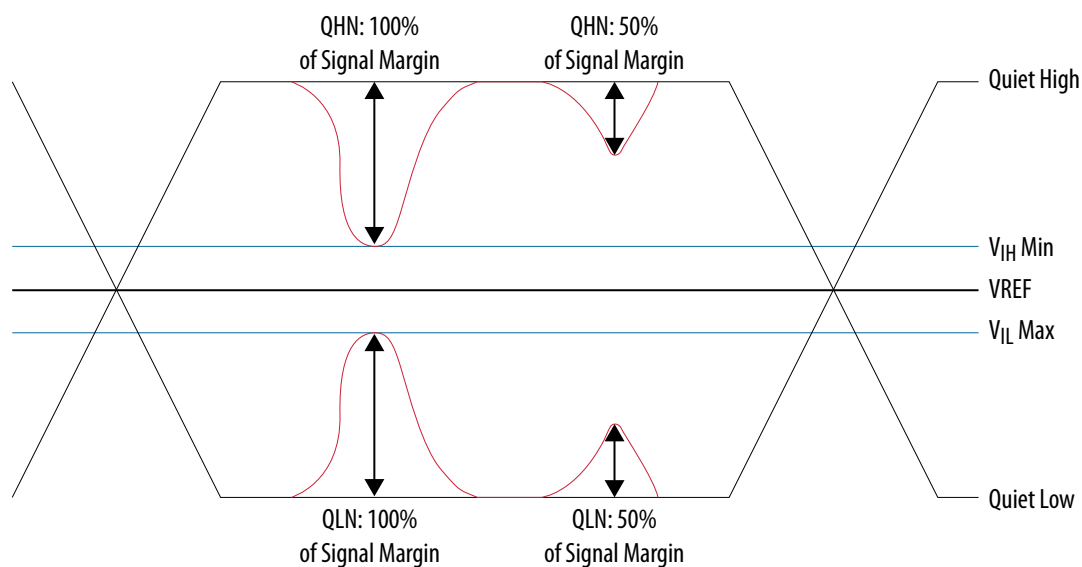


图 3: 管脚 D 上的静低输入噪声评估



SSN 可以在任何系统中发生，但是感应的噪声不总是导致失败。只有当静管脚上的电压值由足够大的电压更改，以便那个信号的逻辑监听读取逻辑值中的变更时，静 victim 管脚上的 SSN 才导致电压功能错误。对于 QH 信号，一个电压功能错误在噪声事件导致电压下降到 V_{IH} 以下时出现。同样，对于 QL 信号，一个电压功能错误在噪声事件导致电压上升到 V_{IL} 以上时出现。因为 Altera 器件的 V_{IH} 和 V_{IL} 对于不同的 I/O 标准不同，以及信号具有不同的静电压值，所以用伏特测量的 SSN 的绝对数量不能用于确定电压失败是否发生。相反，要评估 SSN 影响程度，您可以根据 Altera 器件中信号裕量的百分比来量化 SSN。

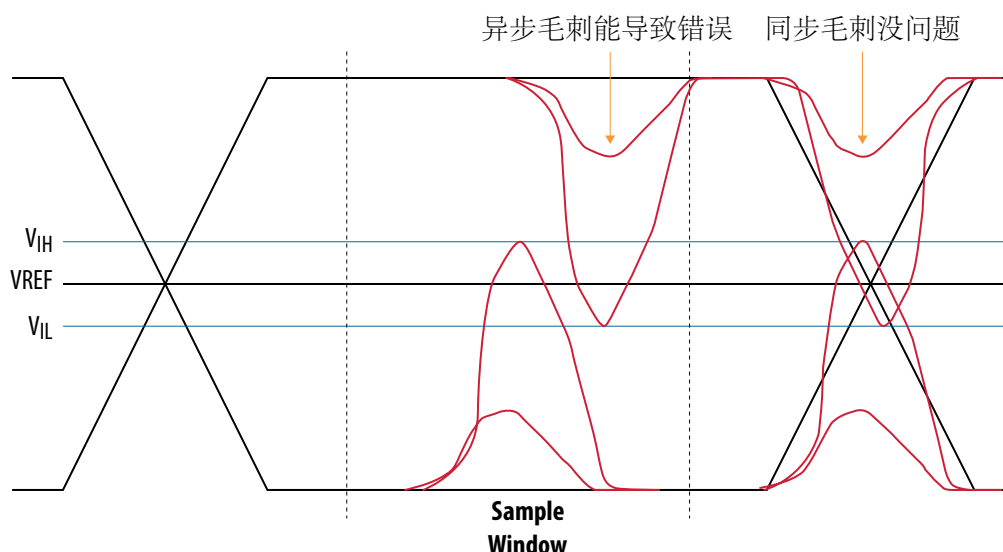
图 4: 报告噪声容限



此图显示了 4 个噪声事件,两个在 QH 信号上,两个在 QL 信号上。图中右侧上的两个噪声事件消耗 50%的信号裕量,不会导致电压功能错误。然而,左侧上的两个噪声事件消耗 100%的信号裕量,会导致电压功能错误。

aggressor 信号导致的噪声同步地关系到接收器的采样窗口外的 victim 管脚。此噪声会影响 victim 管脚的切换时间,但是不视为输入阈值违规失败。

图 5: 无功能错误的同步电压噪声



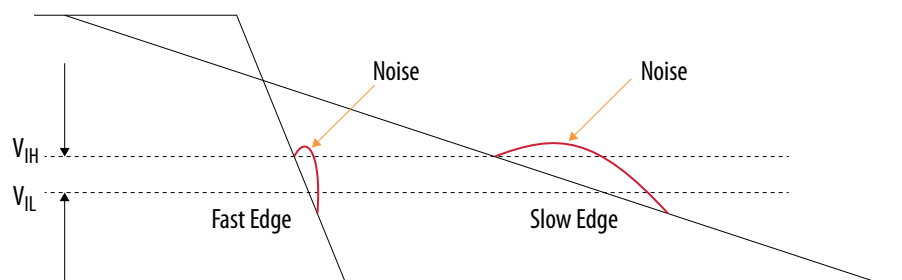
指南：时钟和异步控制输入信号

输入时钟信号和异步信号是敏感信号。如果信号干扰发生在信号边沿,那么能导致内部逻辑中的双倍采样问题。

PLL 对附近 I/O 管脚生成的 SSN 抖动是敏感的。Altera 建议不要在与 PLL 输入时钟信号相同的 bank 中使用未匹配的 I/O 标准。Altera 也建议通过全轨电压例化输入时钟信号。

由于边沿噪音更接近噪音阈值(最大 V_{IL} 与最小 V_{IH} 之间的空隙),可接受的噪音容限要比数据信号小。如果噪音在阈值范围内,那么会采样失败。

图 6: 快慢时钟边沿的噪音



较慢的时钟边沿更易受到抖动的影响，因为阈值范围比快时钟边沿更大。此外，很慢的时钟边沿会经受从电路板到器件的大量开关噪音。

以下建议用于避免信号完整性问题：

- 使用更快的输入时钟边沿进行设计。
- 将未使用的管脚设成可编程的 **ground** 管脚以帮助屏蔽信号干扰。
- 匹配所有未使用的管脚。当信号翻转时，未匹配的未使用管脚能导致输入时钟管脚与未使用管脚之间的信号干扰。您可以将未使用的管脚设置成：
 - 弱上拉电阻，以生成高阻抗匹配；或者
 - 可编程 **ground**，以帮助屏蔽信号干扰。
- 降低相邻的强大 **aggressor** 管脚的摆率或电流强度。
- 开启输入缓存上的 **Schmitt** 乘法器。
- 避免专用 LVDS 信号用作单端输入时钟信号。起初用于 LVDS 信号的强大互耦能够在来自另一个 LVDS 终端的单端输入时钟信号上产生失真。

相关链接

[指南：数据输入管脚](#) (第5 页)

施密特触发器输入缓冲

MAX 10 器件功能在所有 I/O bank 上可选择施密特触发器输入缓冲。

施密特触发器输入缓冲具有与 LVTTL I/O 标准相似的 V_{IL} 和 V_{IH} ，但具有更好的抗噪性。施密特触发器输入缓冲在配置模式中作为默认的输入缓冲使用。

指南：数据输入管脚

对于数据输入信号，快边沿速率会导致宽数据总线上的同步切换输入（SSI）噪音问题。

在 V_{IH} 或 V_{IL} 上，而不是在信号边沿上测量噪音容限。

表 1: MAX 10 器件的推荐的输入信号边沿速率

下表列出了关于一个 I/O bank 中的 I/O 管脚使用百分比的建议最大数据输入信号边沿速率。

I/O bank 中同步开关管脚的百分比	建议的最大数据输入信号边沿速率
50%到 100%	0.6 V/ns
25%到 49%	1.0 V/ns
0%到 24%	1.5 V/ns

如果数据输入信号超过建议的信号边沿速率，那么可以使用与时钟输入信号类似的方法来提高信号完整性。

相关链接

[指南：时钟和异步控制输入信号](#) (第 4 页)

指南：MAX 10 E144 封装的时钟和数据输入信号

在 MAX 10 E144 引线框架封装上有很强烈的电感耦合。当具有高驱动强度的干扰源管脚直接翻转到与其相邻的输入管脚上时，此输入管脚可能会出现毛刺。

PLL 时钟输入管脚

PLL 时钟输入管脚对 SSN 抖动是敏感的。为了避免 PLL 失锁，不要直接使用 PLL 时钟输入管脚左右两侧上的输出管脚。

数据输入管脚

数据输入管脚上潜在的毛刺，导致输入读信号失败，可能出现在下列的情况中：

- 直接相邻数据输入管脚的输出管脚被分配一个未匹配的 I/O 标准，例如：LVTTL 和 LVCMOS，其驱动强度为 8 mA 或者更高。
- 直接相邻数据输入管脚的输出管脚被分配一个匹配的 I/O 标准，例如：SSTL，其驱动强度为 8 mA 或者更高。

为了减少数据输入管脚上的抖动，Altera 建议遵循下列指南：

- 减少不同的未匹配 I/O 标准的直接相邻输出管脚的驱动强度，如下：
 - 4 mA 或更低—2.5 V、3.0 V 和 3.3 V 未匹配的 I/O 标准
 - 6 mA 或更低—1.2 V、1.5 V 和 1.8 V 未匹配的 I/O 标准
- 对于未匹配的 I/O 标准，直接在数据输入管脚的左右两侧将管脚分配到非翻转(non-toggling)信号。
- 对于未匹配的 I/O 标准，直接在数据输入管脚的左右两侧将管脚分配到非翻转(non-toggling)信号。“0” (慢摆率)。否则，直接将数据输入管脚左右两侧上的这个管脚分配到非翻转(non-toggling)信号。
- 将未匹配的 I/O 标准数据输入管脚分配到施密特触发器输入缓冲器以获得更好抗噪声性能。如果在数据输入管脚上使用施密特触发器输入缓冲器，那么可以在 8 mA 的最大驱动强度上使用直接相邻的输出管脚(未匹配的 I/O 标准)。

指南：I/O 限制规则

对于不同的 I/O 标准和条件，必须限制 I/O 管脚的数量。如果使用 LVDS 发送器或接收器，那么这个 I/O 限制规则是适用的。

表 2: I/O Bank 中特定 I/O 标准所允许的 I/O 管脚的最大百分比

该表列出了 bank 中所建议的通用输出管脚的最大数量，按照 I/O Bank 中可用的 I/O 管脚总数量的百分比，在使用这些 I/O 标准和条件的组合的情况下。

I/O 标准	条件	每个 Bank 最大的管脚 (%)
2.5 V LVTTTL/ LVCMOS	16 mA 电流强度和 25 Ω OCT (快速和慢速摆率)	25
	12 mA 电流强度(快速和慢速摆率)	30
	8 mA 电流强度(快速和慢速摆率)和 50 Ω OCT (快速摆率)	45
	4 mA 电流强度(快速和慢速摆率)	65
2.5 V SSTL	—	100

指南：模拟到数字转换器 I/O 限制

如果使用模拟到数字转换器(ADC)模块，那么这些限制是适用的。

根据 I/O 的驱动强度，Quartus® Prime 软件使用基于物理的规则来定义特定 bank 中所允许的 I/O 数量。这些规则是基于噪声的计算来分析 ADC 性能上 I/O 布局影响的准确性。

基于物理规则的实现将会是阶段性的，从 Quartus Prime 软件 14.1 的 10M04、10M08、10M40 和 10M50 器件开始。对于其它 MAX 10 器件的基于物理规则，将会在后续软件版本中实现。

Altera 强烈建议遵循这些指南以确保 ADC 性能。此外，实现基于物理规则时，遵循这些指南可以阻止 Quartus Prime 软件后续版本中额外的严重警告的出现。

表 3: ADC 使用相关的 I/O 限制—初始值

下表列出了在使用专用模拟输入(ANAIN1 或 ANAIN2)或者任何双功能 ADC I/O 管脚作为 ADC 通道输入时的 MAX 10 器件封装对 I/O 的限制。

封装	限制/指南
全部	ADC 采样期间禁止所有 JTAG 操作。在 JTAG 运行期间不保证 ADC 信噪和失真比。

封装	限制/指南
M153 U169 U324 F256 F484 F672	- Banks 1A 和 1B—您不能使用这些 bank 中的 GPIO 管脚。 - Banks 2, 3, 4, 5, 6 和 7—您可以使用位于这些 bank 中的 GPIO 管脚。 - Bank 8—根据驱动能力，可以使用这些 bank 中的 GPIO 管脚的百分比： - 关于所支持的 GPIO 管脚的百分比，请参考表 4⁽¹⁾。 - 使用低驱动强度(8 mA 或更低)和差分 I/O 标准。 - 请不要在此 bank 中放置发送器管脚，可以在 bank 2、3、4、5、6 或 7 中放置。 - 您可以使用诸如 RESET 或 CONTROL 的静态管脚。 - 这些 bank 中的 GPIO 管脚由基于物理的规则控制。Quartus Prime 软件将会发出 I/O 设置违反任何基于物理规则的 I/O 的严重警告信息。
E144	- Bank 1A, 1B, 2 和 8—您不能使用这些 bank 中的 GPIO。 - Banks 4 和 6—您可以使用位于这些 bank 中的 GPIO。 - Banks 3、5 和 7—根据驱动能力，可以使用这些 bank 中的 GPIO 管脚的百分比： - 关于所支持的 GPIO 管脚的百分比，请参考表 5。 - 使用低驱动强度(8 mA 或更低)和差分 I/O 标准。 - 这些 bank 中的 GPIO 管脚由基于物理的规则控制。Quartus Prime 软件将会发出 I/O 设置违反任何基于物理规则的 I/O 的严重警告信息。

表 4: MAX 10 F484 封装中 bank 8 的 I/O 使用限制

下表列出了在使用专用模拟输入(ANAIN1 或 ANAIN2)或任何双功能 ADC I/O 管脚作为 ADC 通道时 I/O bank 8 中的可用 I/O 管脚的百分比。关于每组中 I/O 标准的列表，请参考表 6。

I/O 标准	TX	RX	总计	可用性 (%)
Group 1	18	18	36	100
Group 2	16	16	32	89
Group 3	7	11	18	50
Group 4	5	7	12	33
Group 5	4	6	10	28
Group 6	4	4	8	22
Group 7	0	8	8	22

⁽¹⁾ 其它封装的 bank 8 中所支持的 GPIO 管脚的百分比将在未来可用。

表 5: MAX 10 E144 封装中 bank 3, 5 和 7 的 I/O 使用限制

下表列出了在使用专用模拟输入(ANAIN1 或 ANAIN2)或任何双功能 ADC I/O 管脚作为 ADC 通道输入时 bank 3, 5 和 7 中的可用 I/O 管脚的百分比。关于每组中 I/O 标准的列表, 请参考表 6。

I/O 标准	Bank 3			Bank 5			Bank 7			器件 I/O 可用性 (%)
	TX	RX	可用性(%)	TX	RX	可用性(%)	TX	RX	可用性(%)	
Group 1	7	8	88	6	6	100	4	3	100	54
Group 2	7	8	88	6	6	100	4	3	100	54
Group 3	4	5	50	6	6	100	2	0	29	45
Group 4	3	4	39	5	5	83	0	0	0	39
Group 5	2	3	28	5	5	83	0	0	0	37
Group 6	1	2	17	5	5	83	0	0	0	35
Group 7	0	0	0	5	5	83	0	0	0	32

表 6: 根据驱动强度的 I/O 标准组分类

I/O 标准组	I/O 标准名称和驱动强度
Group 1	2.5 V LVDS 2.5 V RSDS - BLVDS, 4 mA 驱动强度 - SLVS, 4 mA 驱动强度
Group 2	- BLVDS, 8 mA 驱动强度 - SLVS, 8 mA 驱动强度 - Sub-LVDS, 8 mA 驱动强度 1.8 V、1.5 V 和 1.2 V HSTL Class I, 8 mA 驱动强度 - SSTL-15, 34 Ω 或 40 Ω - SSTL-135, 34 Ω 或 40 Ω - HSUL-12, 34 Ω 或 40 Ω - SSTL-2 Class I, 8 mA 驱动强度 - SSTL-18 Class I, 8 mA 驱动强度 - SSTL-15 Class I, 8 mA 驱动强度 2.5 V 和 1.8 V LVTTL, 4 mA 驱动强度 2.5 V、1.8 V、1.5 V 和 1.2 V LVCMOS, 4 mA 驱动强度 1.8 V LVTTL, 2 mA 驱动强度 1.8 V、1.5 V 和 1.2 V LVCMOS, 2 mA 驱动强度

I/O 标准组	I/O 标准名称和驱动强度
Group 3	• BLVDS, 12 mA 驱动强度 • SLVS, 12 mA 驱动强度 • Sub-LVDS, 12 mA 驱动强度 • SSTL-2 Class I, 10 mA 或 12 mA 驱动强度 • SSTL-18 Class I, 10 mA 或 12 mA 驱动强度 • SSTL-15 Class I, 10 mA 或 12 mA 驱动强度 • 1.8 V、1.5 V 和 1.2 V HSTL Class I, 10 mA 或 12 mA 驱动强度 • SSTL-2, 50 Ω • SSTL-18, 50 Ω • SSTL-15, 50 Ω • 1.8 V、1.5 V 和 1.2 V HSTL, 50 Ω • HSUL-12, 48 Ω • 2.5 V 和 1.8 V LVTTL, 50 Ω • 2.5 V、1.8 V、1.5 V 和 1.2 V LVCMOS, 50 Ω • 1.8 V LVTTL, 6 mA 或 8 mA 驱动强度 • 1.8 V、1.5 V 和 1.2 V LVCMOS, 6 mA 或 8 mA 驱动强度 • 3.0 V LVTTL, 4 mA 驱动强度 • 3.0 V LVCMOS, 4 mA 驱动强度
Group 4	• SSTL-18 Class II, 12 mA 驱动强度 • 3.0 V LVTTL, 50 Ω • 3.0 V LVCMOS, 50 Ω • 2.5 V LVTTL, 8 mA 驱动强度 • 2.5 V LVCMOS, 8 mA 驱动强度 • 1.8 V LVTTL, 10 mA 或 12 mA 驱动强度 • 1.8 V、1.5 V 和 1.2 V LVCMOS, 10 mA 或 12 mA 驱动强度 • 3.3 V LVCMOS, 2 mA 驱动强度

I/O 标准组	I/O 标准名称和驱动强度
Group 5	- SSTL-2 Class II, 16 mA 驱动强度 - SSTL-18 Class II, 16 mA 驱动强度 - SSTL-15 Class II, 16 mA 驱动强度 1.8 V 和 1.5 V HSTL Class II, 16 mA 驱动强度 1.2 V HSTL Class II, 14 mA 驱动强度 - SSTL-18, 25 Ω - SSTL-15, 25 Ω - SSTL-2, 25 Ω 1.8 V、1.5 V 和 1.2 V HSTL, 25 Ω 2.5 V 和 1.8 V LVTTL, 25 Ω 2.5 V、1.8 V、1.5 V 和 1.2 LVCMOS, 25 Ω 1.8 V LVTTL, 16 mA 驱动强度 1.8 V 和 1.5 V LVCMOS, 16 mA 驱动强度 2.5 V LVCMOS, 12 mA 驱动强度 2.5 V LVTTL, 12 mA 驱动强度 3.0 V LVCMOS, 8 mA 驱动强度 3.0 V LVTTL, 8 mA 驱动强度 3.3 V LVTTL, 4 mA 或 8 mA 驱动强度
Group 6	2.5 V LVTTL, 16 mA 驱动强度 2.5 V LVCMOS, 16 mA 驱动强度 3.0 V LVTTL, 12 mA 驱动强度 3.0 V LVCMOS, 12 mA 驱动强度 3.0 V LVTTL, 25 Ω 3.0 V LVCMOS, 25 Ω
Group 7	3.0 V LVTTL, 16 mA 驱动强度 3.0 V LVCMOS, 16 mA 驱动强度

指南：电压参考 I/O 标准限制

如果使用 V_{REF} 管脚，就应用这些限制。

- 如果使用共享的 V_{REF} 管脚作为 I/O，那么所有电压参考的输入缓冲器(SSTL、HSTL 和 HSUL)都被禁用。
- 如果使用共享的 V_{REF} 管脚作为电压参考，那么必须使能特定 I/O 管脚的输入缓冲器，来使用电压参考的 I/O 标准。
- 下面这些器件封装的 I/O bank 不支持电压参考的 I/O 标准：
 - V36 封装的 10M02 的所有 I/O bank。
 - V81 封装的 10M08 的所有 I/O bank。
 - E144 封装的 10M50 的 Bank 1A 和 1B。
- 对于器件的 bank 1A 和 1B，如果使用 V_{REF} 管脚，必须为 bank 1A 和 1B 提供一个提供通用 V_{CCIO} 。
- 每个 V_{REF} 管脚最大数量的电压参考输入是 I/O pad 总数的 75%。如果超过最大的数量，Quartus Prime 软件将会提供一个警告消息。
- 除了用于静态信号的 I/O 管脚，所有非电压参考的输出必须被布局在远离 V_{REF} 管脚的两个 pad 中。如果违反规则，那么 Quartus Prime 软件将会发出一个错误消息。

指南：遵守 LVDS I/O 限制规则

对于 LVDS 应用，遵循 I/O 限制管脚连接指南以避免在 LVDS 发送器输出管脚上过度抖动。如果违反规则，Quartus Prime 软件就会生成严重警告。

指南：对 LVTTL/LVCMOS 输入缓冲使能钳位二极管

如果 I/O bank 的 V_{CCIO} 比 LVTTL/LVCMOS 输入缓冲器的电压低，那么 Altera 建议使能钳位二极管。

- 3.3 V LVCMOS/LVTTL 输入缓冲器—如果 I/O bank 的 V_{CCIO} 是 3.0 V，就使能钳位二极管。
- 3.3 V 或 3.0 V LVCMOS/LVTTL 输入缓冲器—如果 I/O bankr V_{CCIO} 是 2.5 V，就使能钳位二极管。

在这些条件下使能钳位二极管，能够限制过冲和下冲。不过，这不符合热插拔电流规范。

如果没有在这些条件下使能钳位二极管，那么该 I/O 管脚的信号完整性将会被影响，并且会有过冲和下冲的问题。在这种情况下，必须确保电路板设计符合过冲/下冲规范。

表 7: 3.3 V 或 3.0 V 的电压容差最大额定值

该表列出了电压容差规格。如果不想根据钳位二极管建议，那么请确保电路板设计符合这些规范。

电压	最小值 (V)	最大值 (V)
$V_{CCIO} = 3.3 \text{ V}$	3.135	3.45
$V_{CCIO} = 3.0 \text{ V}$	2.85	3.15
$V_{IH} \text{ (AC)}$	—	4.1
$V_{IH} \text{ (DC)}$	—	3.6
$V_{IL} \text{ (DC)}$	- 0.3	0.8

指南：外部存储器接口 I/O 限制

如果在设计中使用外部存储器接口，那么这些 I/O 规则都适用。

DQ 管脚相邻的两个 GPIO 被禁用

这个仿真适用于 MAX 10 10M16、10M25、10M40 和 10M50 器件，并且仅使用 DDR3 和 LPDDR2 SDRAM 存储器标准。

表 8: DDR3 和 LPDDR2 存储器接口宽度和器件封装宽度，其中 DQ 管脚相邻的两个 GPIO 被禁止

该表列出了 MAX 10 10M16、10M25、10M40 和 10M50 器件封装的组合，以及 DDR3 和 LPDDR2 存储器接口宽度，其中不能使用与 DQ 管脚相邻的两个 GPIO 管脚。

器件封装	存储器接口宽度(仅 DDR3 和 LPDDR2)
U324	x8
F484	x8, x16, x24
F672	x8, x16, x24

在某些器件的 bank 中的 I/O 总使用率一定不能超过 75%

如果使用 DDR3 或 LPDDR2 SDRAM 存储器接口标准，通常可以使用 bank 所提供的最多 75% 的 I/O 管脚总数。这种限制因器件的不同而不同。在一些器件封装中，您可以使用 100% 的 I/O。如果该器件的每个 bank 的 I/O 利用率均受到这条规则的影响，那么 Quartus Prime 软件将会输出一个错误消息。

如果使用 DDR2 存储器接口标准，那么只能分配 25% 的 I/O 管脚作为输入管脚。

指南：ADC Ground 平面连接

对于电源管脚，使用 GND 管脚。对于 ADC 和 V_{REF} 管脚，使用 REFGND 管脚。

指南：ADC 参考电压管脚的电路板设计

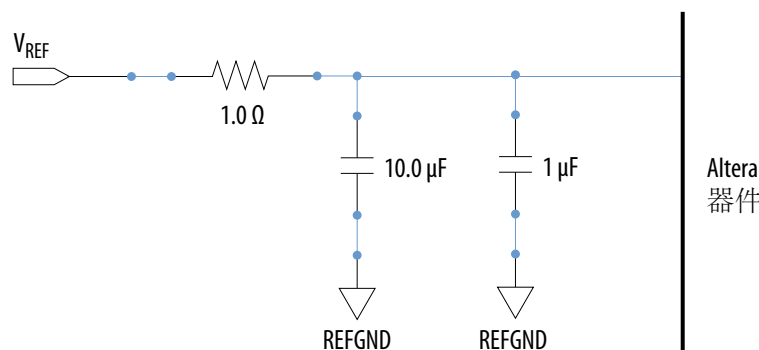
模数转换信号的串扰要求是 -100 dB 到 2 GHz。模拟输入信号与和 I/O 走线之间不存在并行布线。尽量邻近 REFGND 布局 V_{REF} 走线。

如果 REFGND 平面不可能，那么尽量邻近 REFGND 布局模拟输入信号走线。

每个 MAX 10 器件中有一个 ADC 基准电压管脚。此管脚使用 REFGND 作为地基准。将走线电阻保持在 0.8Ω 以下。

图 7: 基准电压管脚的 RC 滤波设计实例

尽量靠近模拟输入管脚放置 RC 滤波器。



指南：模拟输入的电路板设计

对模拟到数字信号的串扰要求是 -100 dB 到 2 GHz。模拟输入信号与 I/O 走线之间，以及模拟输入信号与 FPGA I/O 信号走线之间一定不要有并行布线。

- 总 RC 常量（包括封装，走线和寄生驱动器）必须小于 42.4 ns。这是为确保输入信号在采样阶段完全稳定。
- 如果降低总采样率，那么所需的稳定时间可计算为 $0.45 \div F_s > 10.62 \times RC \text{ constant}$ 。
- 要获得更多的 RC 总裕量，Altera 建议您尽可能地将驱动器源阻抗设为最低：
 - 对于预分频器禁止的通道—小于 1 kΩ
 - 对于预分频器使能的通道—小于 11 Ω

走线

- 如有可能，在不同层上布置开关 I/O 走线。
- 输入信号走线阻抗没有特殊的要求。不过，输入走线的 DC 电阻必须尽可能低。
- 如果没有 REFGND 平面，尽量邻近 REFGND 安排模拟输入信号走线。
- Use REFGND as ground reference for the ADC input signal.
- 对于预分频器使能的输入信号，将接地参考(ground reference)设为 REFGND。如果预分频器使能的输入信号的接地参考设为普通接地(GND)，那么会降低性能。

输入低通滤波器选择

- 低通 RC 滤波器能够降低模拟输入与数字 I/O 信号之间的走线间距，从而满足了 -100 dB 串扰要求。Altera 建议您放置有效的低通滤波器以助于满足所需的稳定时间。
- 尽量靠近模拟输入信号放置低通滤波器。
- 截止(cut off)频率取决于模拟输入频率。Altera 建议 $F_{\text{cutoff @ -3dB}}$ 是输入频率的五倍。
- 您可以从 Altera 网站下载用于 ADC 前端电路板设计仿真的 ADC 输入 SPICE 模型。

表 9: RC 常数和滤波值

此表格所示是用于量化 RC 常数和确定 RC 滤波值的方法示例。

总 RC 常数 = $(R_{\text{DRIVER}} + R_{\text{BOARD}} + R_{\text{PACKAGE}} + R_{\text{FILTER}}) \times (C_{\text{DRIVER}} + C_{\text{BOARD}} + C_{\text{PACKAGE}} + C_{\text{FILTER}} + C_{\text{PIN}})$

驱动		电路板		封装		管脚电容 (pF)	RC 滤波器		$F_{\text{cutoff @ -3dB}}$ (MHz)	总 RC 常数 (ns)	稳定时间(ns)
R (Ω)	C (pF)	R (Ω)	C (pF)	R (Ω)	C (pF)		R (Ω)	C (pF)			
5	2	5	17	3	5	6	60	550	4.82	42.34	42.4
10	2	5	17	3	5	6	50	580	5.49	41.48	42.4

图 8: 被动低通滤波器实例

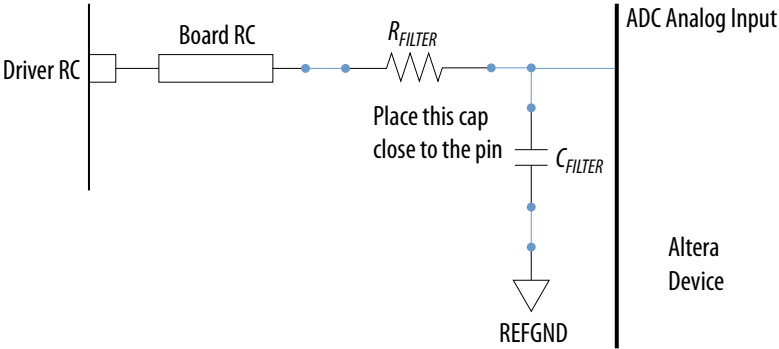
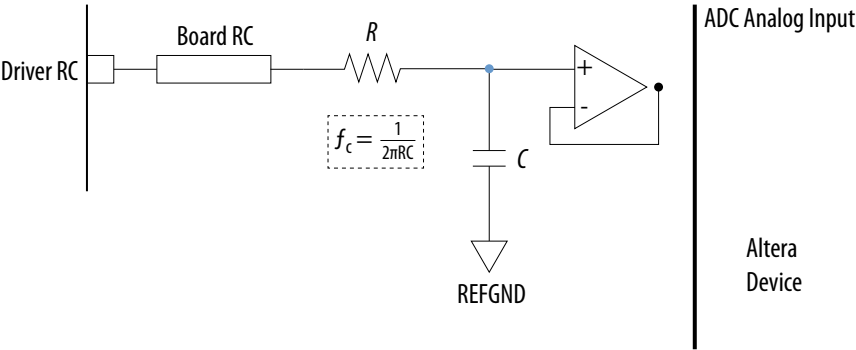


图 9: 一阶主动低通滤波器实例

此图是一个实例。您可以设计 n 阶主动低通滤波器。



相关链接

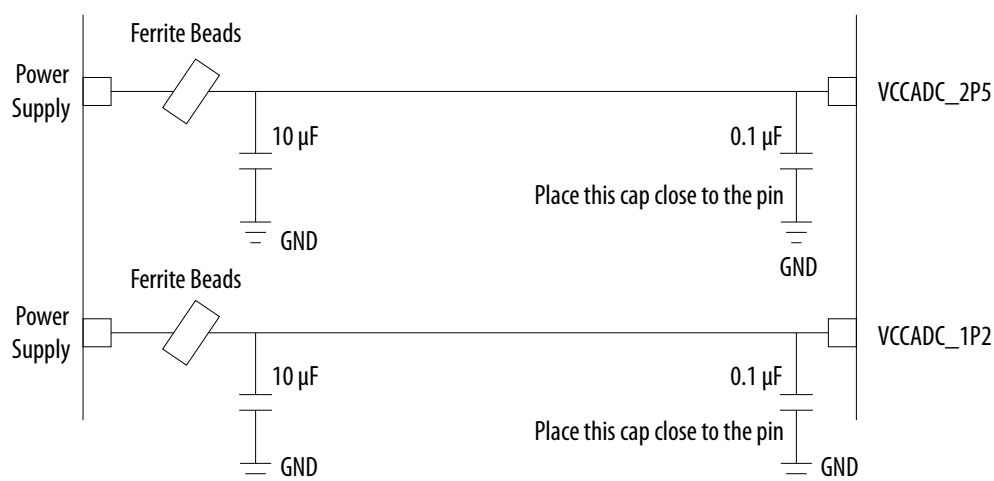
- [如何修改 MAX 10 器件中的 ADC 的采样率?](#)
提供关于降低总采样率的详细信息。
- [用于 Altera 器件的 SPICE 模型](#)
提供 MAX 10 ADC spice 模型下载。

指南：关于电源管脚和 ADC Ground(REFGND) 的电路板设计

模数转换信号的串扰要求是-100 dB 到 2 GHz。电源、接地和 I/O 走线之间不得有并行布线。如果电源板不可能，那么应尽量宽地布线该电源以及接地走线。

- 为减少 IR 压降和开关噪音，应将 ADC 电源走线和地的阻抗保持尽量低。电源的最大化 DC 电阻是 $1.5\ \Omega$ 。
- 连接到 ADC 的电源应具有串联连接的铁氧体磁珠，然后通过一个 $10\ \mu\text{F}$ 电容器接地。此设置可确保无任何外部噪音进入器件电源管脚。
- 使用 $0.1\ \mu\text{F}$ 电容对每个器件电源管脚进行去耦。尽量靠近器件管脚放置电容。

图 10: 为电源走线推荐的 RC 滤波器



REFGND 没有阻抗要求。Altera 建议使用最低的阻抗和尽可能多的最小 DC 电阻。典型的电阻小于 $1\ \Omega$ 。

Altera 建议将 REFGND 平面设置成尽量靠近相应去耦电容和 FPGA 进行延伸：

- 如果可能，在布局中定义完整的 REFGND 平面。
- 否则，使用从孤岛到 FPGA 管脚尽量宽的走线和去耦电容对 REFGND 布线。
- REFGND 是 ADC V_{REF} 和模拟输入的基准地平面。
- 通过铁氧体磁珠将 REFGND 地连接到系统数字地。您还可以通过比较阻抗与频率规格来评估铁氧体磁珠选项。

指南：DDR2、DDR3 和 LPDDR2 的 MAX 10 电路板设计要求

- 对于 DDR2、DDR3 和 LPDDR2 接口，管脚之间的最大化电路板偏移必须低于 40 ps。该指南适用于所有管脚(地址、命令、时钟和数据)。
- 要最小化电路板孔中不需要的电感，Altera 建议对低于 49.5 mil 的 V_{CCIO} bank 保持 PCB 孔深。
- 对于 DDR3 接口实现的器件，DQ、DQS 和地址信号要求板上匹配。Altera 建议对 V_{TT} 使用 $80\ \Omega$ 的匹配电阻值。
- 对于 DQ、地址和命令管脚，保持 PCB 走线长度不超过 6 英寸 DDR3 或少于 3 英寸 LPDDR2。

MAX 10 FPGA 信号完整性设计指南的文档修订历史

日期	版本	修正内容
2015 年 11 月	2015.11.02	• 增添了关于 <i>指南: 时钟和异步控制输入信号</i> 中通过全轨电压例化输入时钟信号的建议。 • 增添了一个新主题: <i>指南: MAX 10 E144 封装的时钟和数据输入信号</i> • 更新了 <i>指南: I/O 限制规则</i> 中 Maximum Percentage of I/O Pins Allowed for Specific I/O Standards in an I/O Bank 表中的说明 • 将 <i>Quartus II</i> 更改成 <i>Quartus Prime</i>。
2015 年 6 月	2015.06.11	• 增添了关于在与 PLL 输入时钟信号相同的 bank 中不使用未匹配的 I/O 标准的建议。 • 更新了模拟输入的电路板设计指南。 • 更新了 ADC I/O 限制指南主题。
2015 年 5 月	2015.05.04	• 更新了电压参考 I/O 标准的指南, 添加了不支持电压参考 I/O 标准的一系列器件封装。 • 更新了关于 I/O 限制规则的主题, 删除了关于差分垫布局法则的陈述。 • 更新了关于外部存储器接口 I/O 限制的主题, 添加了 x24 存储器接口宽度到 F484 封装。 • 删除了关于 Quartus Prime 软件的未来版本中阈值触发器功能的可用性的陈述。此功能已经在 15.0 版本中可用。 • 更新了 RC 常数和滤波值和滤波设计实例图, 澄清实例值的来源。 • 删除了关于联系 Altera 获得 ADC 管脚 RLC 滤波器设计的注释。 • 更新了关于 DDR2, DDR3 和 LPDDR2 的电路板设计要求的指南。
2014 年 12 月	2014.12.15	初始版本。