

《存储器的基本知识与应用》

出品：北京智芯融科技有限公司

主讲：智芯融团队

实验平台：智芯融系列FPGA开发板

淘宝店铺：<https://shop296232497.taobao.com/>

官方网站：<http://www.icfusion.cn/>



4

Flash PROM 的基本应用

5

SRAM的基本知识及其应用

第四节 FLASH EPROM的基本知识及其应用

4.1 快闪存储器结构

1. 快闪存储器(Flash Memory)

快闪存储器存储单元的MOS管结构与SIMOS管类似，如图4-1所示。

但有两点不同，一是快闪存储器存储单元MOS管的源极N+区大于漏极N+区，而SIMOS管的源极N+区和漏极N+区是对称的；二是浮栅到P型衬底间的氧化绝缘层比SIMOS管的更薄。这样，可以通过在源极上加一正电压，使浮栅放电，从而擦除写入的数据。

由于快闪存储器中存储单元MOS管的源极是连接在一起的，所以不能象E2PROM那样按字擦除，而是类似EPROM那样整片擦除或分块擦除。整片擦除只需要几秒钟，不像EPROM那样需要照射15到20分钟。快闪存储器中数据的擦除和写入是分开进行的，数据写入方式与EPROM相同，需输入一个较高的电压，因此要为芯片提供两组电源。一个字的写入时间约为200微秒，一般可以擦除/写入1000次以上。目前FLASH存储器的擦写都在10000次左右。有的可以达到10万次。数据写入后在FLASH内可以保存10-100年，具体参照芯片的使用手册

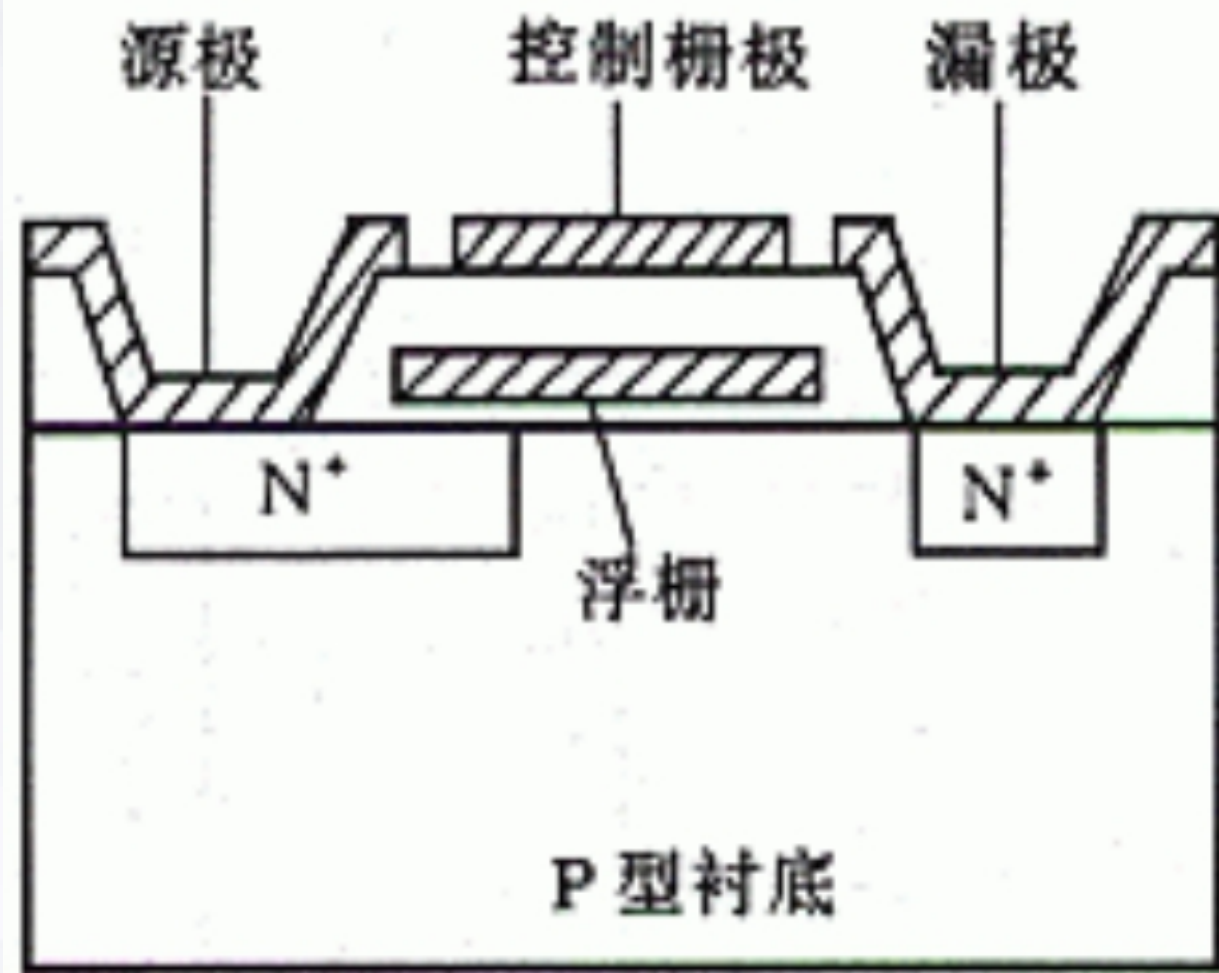


图 4-1 Flash EPROM存储单元结构

2. Flash 存储器的分类

Flash 存储器又分为NOR flash 和NAND Flash两种。

Intel于1988年首先开发出NOR Flash 技术，彻底改变了原先由EPROM(Erasable Programmable Read-Only-Memory电可编程序只读存储器)和EEPROM(电可擦只读存储器Electrically Erasable Programmable Read - Only Memory)一统天下的局面。紧接着，1989年，东芝公司发表了NAND Flash 结构，强调降低每比特的成本，有更高的性能，并且像磁盘一样可以通过接口轻松升级。

1) NOR FLASH 存储器

NOR Flash 的特点是芯片内执行 (XIP , eXecute In Place) ，这样应用程序可以直接在Flash闪存内运行，不必再把代码读到系统RAM中。NOR 的传输效率很高，在1~4MB的小容量时具有很高的成本效益，但是很低的写入和擦除速度大大影响到它的性能。

2) NAND FLASH 存储器

NAND的结构能提供极高的单元密度，可以达到高存储密度，并且写入和擦除的速度也很快。应用NAND的困难在于Flash的管理需要特殊的系统接口。通常读取NOR的速度比NAND快，而NAND的写入速度比NOR快很多，在设计中应该考虑这些情况。——《ARM嵌入式Linux系统开发从入门到精通》 李亚峰 欧文盛 等编著 清华大学出版社 P52

3) 数据反转

FLASH存储器都存在数据反转的情况，因次写入的数据在读出的时候会发生错误，而且该错误是永久的，特别是NAND FLASH尤其严重，因次在NAND FLASH 使用时往往会加上校验，NAND FLSAH的存储结构也由此发生了变化。本节后续内容会有详细解释。



3. Flash存储器的擦除与编程：

Flash 存储器在擦除 (erase) 和编程 (program or write) 时分为两种情况：(1) 一种是整片擦除，整片编程；

(2) 另一种是按照扇区 (Sector) 的方式进行操作。即扇区擦除，扇区写。

更多的内容在后续课程中会介绍扇区的使用。

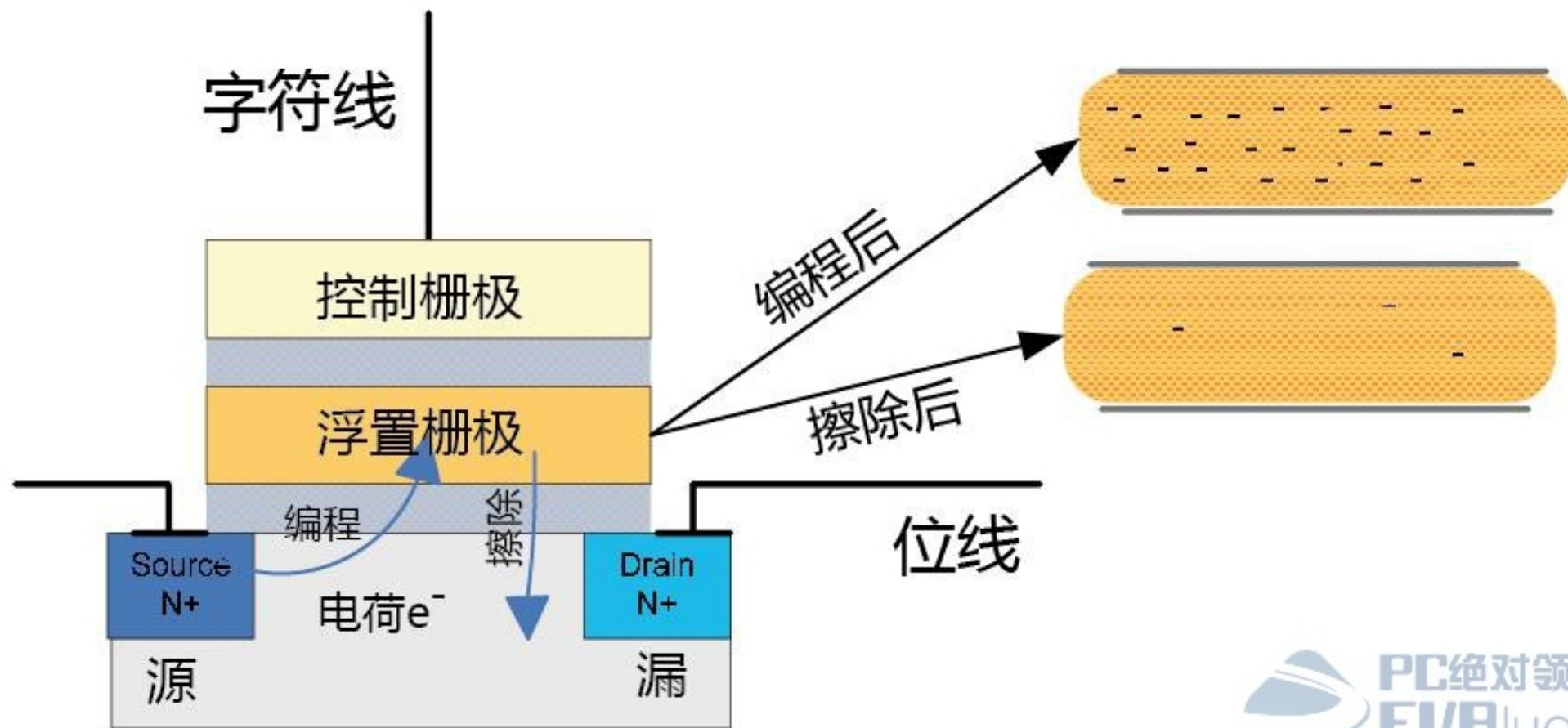


图 4-2 Flash EPROM存储器编程擦除示意图

该图片来自
www.PCEVA.com

第四节 FLASH EPROM的基本知识及其应用

4.2 NOR FLASH 存储器

1. NOR FLASH 存储器的读写及时序

Nor Flash的连接线有地址线，数据线，片选信号读写信号等，如图4-3所示。

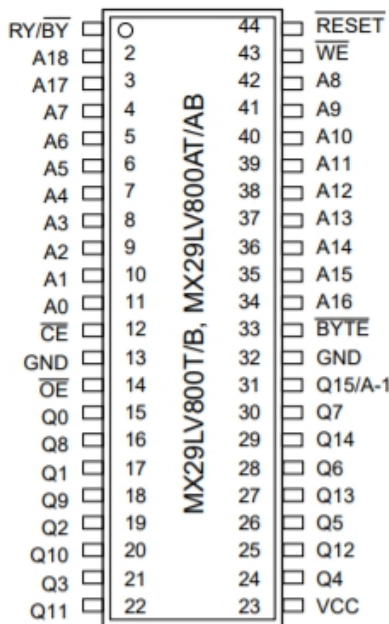
1) Nor Flash的读写

I. 读：Nor Flash的接口属于内存类接口，Nor Flash可以像内存一样读，读只要给定地址，片选，读控制信号，数据就会一笔一笔的从数据线输出，很简单。

II. 写：但是不能像内存一样写，需要做一些特殊的操作才能进行写操作。闪存的内部存储结构是金属氧化层-半导体-场效应管(MOSFET)，源极，漏极和栅极，其工作原理与场效应管类似，都是利用电压控制源极和漏极之间的通断，不同的是场效应管是单栅极结构，而闪

PIN CONFIGURATIONS

44 SOP(500 mil)



PIN DESCRIPTION

SYMBOL	PIN NAME
A0~A18	Address Input
Q0~Q14	Data Input/Output
Q15/A-1	Q15(Word mode)/LSB addr(Byte mode)
$\overline{CE}$	Chip Enable Input
$\overline{WE}$	Write Enable Input
$\overline{BYTE}$	Word/Byte Selection input
$\overline{RESET}$	Hardware Reset Pin
$\overline{OE}$	Output Enable Input
$\overline{RY/BY}$	Ready/Busy Output
VCC	Power Supply Pin (2.7V~3.6V)
GND	Ground Pin

图 4-3 Flash EPROM存储器管脚示意图

第四节 FLASH EPROM的基本知识及其应用

- 1) Nor Flash的读写
- 2) 写：而闪存对栅极加压，使得浮置栅极存储的电荷形成电场，超过阈值，就表示0。

1) 对于闪存的写入，即控制栅极对浮置栅极充电。对栅极加压，使得浮置栅极存储的电荷足够多，超过阈值，就表示0。

2) 对于闪存的擦除，即对浮置栅极进行放电，低于阈值，就表示1。加电的过程与充电过程相反。

3) 封装及管脚排列

图4-3，4-4 给出了MX29LV800的两种封装及管脚排布。

48 TSOP (Standard Type) (12mm x 20mm)



图 4-4 Flash EPROM存储器管脚示意图

第四节 FLASH EPROM的基本知识及其应用

2. 管脚描述:

下面以MX29LV800为例进行介绍NOR Flash的读写操作。

管脚描述如下:

(1) A0-A18 :地址输入

(2) Q0-Q14 :数据输入输出

(3) Q15/A-1:数据/地址复用脚, 当该存储器选用8位数据模式时, 该位为地址线, 并且解释为地址的-1, 即A-1, 可以将寻址范围扩大一倍; 当选用16位数据模式时, 该位为数据线的第16位Q15, 如何选择该位的功能由 $\overline{BYTE}$ 决定.

$\overline{CE}$: 芯片使能, 低电平有效

$\overline{WE}$: 写使能, 低电平有效

$\overline{BYTE}$: Word/Byte 选择端, 低电平选择 word(16位数据), 高电平选择Byte

$\overline{RESET}$: 硬件复位端

$\overline{OE}$: 读使能 (输入管脚, 由控制器管理)

$\overline{RY}/\overline{BY}$: Ready/Busy 指示, 输出管脚

VCC : 电源管脚, 2.7V-3.6V, 一般选择3V或3.3V

GND : 地信号

PIN DESCRIPTION

SYMBOL	PIN NAME
A0~A18	Address Input
Q0~Q14	Data Input/Output
Q15/A-1	Q15(Word mode)/LSB addr(Byte mode)
$\overline{CE}$	Chip Enable Input
$\overline{WE}$	Write Enable Input
$\overline{BYTE}$	Word/Byte Selection input
$\overline{RESET}$	Hardware Reset Pin
$\overline{OE}$	Output Enable Input
$\overline{RY}/\overline{BY}$	Ready/Busy Output
VCC	Power Supply Pin (2.7V~3.6V)
GND	Ground Pin

表 4-1 Flash EPROM MX29LV800存储器管脚功能描述

第四节 FLASH EPROM的基本知识及其应用

3. NOR Flash 硬件设计:

1) 程序及数据存储器: 根据上面的管脚描述即可正确进行硬件电路的设计, 在NOR FLASH进行读操作时, 与SRAM的时序一致, 因次可以直接作为可运行的程序存储器使用。

图4-5展示了在16位模式下的硬件电路设计实例。注意在图中采用的是TSOP48 的封装结构(不同的封装形式, 管脚排列不同)。本设计的主控器将可以实MCU或FPGA。为了与更大容量的芯片兼容, 将9, 10两个NC (no connect)的管脚进行地址扩展。如可以兼容MX291V1600BBTC及MX29LV3200BBCT等。

思考题:

- (1) 阅读MX29LV800BBTC的数据手册, 了解芯片的供电电压范围。
- (2) 各个管脚的电平范围
- (3) “LV” 的含义
- (4) 复习在FPGA, MCU体系中各种电平标准
- (5) 熟练掌握nOE, nWE, nCE 与地址数据的关系, 以及学会如何看时序图及时序参数。

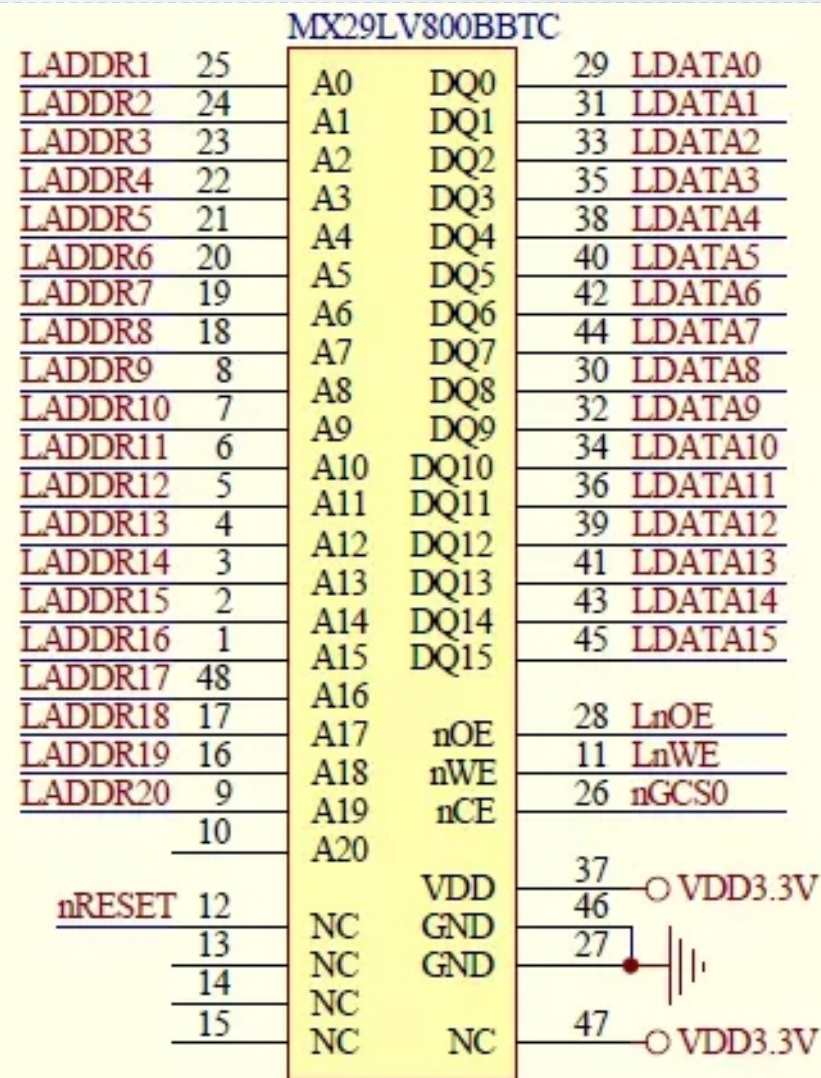


图 4-5 Flash EPROM硬件设计示意图

第四节 FLASH EPROM的基本知识及其应用

4. 扇区的划分

- 1) MX29LV800的扇区划分是不均等的，有大小扇区之分，不同型号的芯片小扇区的位置也不相同，MX29LV800T表示小扇区在底部，如表4-2所示。在对扇区擦除的时候要注意。
- 2) 对于MX29LV800T/AT，SA15，SA16，SA17，SA18是小扇区，而MX29LV800B/AB的小扇区对应的是SA0，SA1，SA2，SA3。SA由地址线A18-A12译码进行选择。

Sector	Sector Size		Address range		Sector Address						
	Byte Mode	Word Mode	Byte Mode (x8)	Word Mode (x16)	A18	A17	A16	A15	A14	A13	A12
SA0	64Kbytes	32Kwords	00000h-0FFFFh	00000h-07FFFh	0	0	0	0	X	X	X
SA1	64Kbytes	32Kwords	10000h-1FFFFh	08000h-0FFFFh	0	0	0	1	X	X	X
SA2	64Kbytes	32Kwords	20000h-2FFFFh	10000h-17FFFh	0	0	1	0	X	X	X
SA3	64Kbytes	32Kwords	30000h-3FFFFh	18000h-1FFFFh	0	0	1	1	X	X	X
SA4	64Kbytes	32Kwords	40000h-4FFFFh	20000h-27FFFh	0	1	0	0	X	X	X
SA5	64Kbytes	32Kwords	50000h-5FFFFh	28000h-2FFFFh	0	1	0	1	X	X	X
SA6	64Kbytes	32Kwords	60000h-6FFFFh	30000h-37FFFh	0	1	1	0	X	X	X
SA7	64Kbytes	32Kwords	70000h-7FFFFh	38000h-3FFFFh	0	1	1	1	X	X	X
SA8	64Kbytes	32Kwords	80000h-8FFFFh	40000h-47FFFh	1	0	0	0	X	X	X
SA9	64Kbytes	32Kwords	90000h-9FFFFh	48000h-4FFFFh	1	0	0	1	X	X	X
SA10	64Kbytes	32Kwords	A0000h-AFFFFh	50000h-57FFFh	1	0	1	0	X	X	X
SA11	64Kbytes	32Kwords	B0000h-BFFFFh	58000h-5FFFFh	1	0	1	1	X	X	X
SA12	64Kbytes	32Kwords	C0000h-CFFFFh	60000h-67FFFh	1	1	0	0	X	X	X
SA13	64Kbytes	32Kwords	D0000h-DFFFFh	68000h-6FFFFh	1	1	0	1	X	X	X
SA14	64Kbytes	32Kwords	E0000h-EFFFFh	70000h-77FFFh	1	1	1	0	X	X	X
SA15	32Kbytes	16Kwords	F0000h-F7FFFh	78000h-7BFFFh	1	1	1	1	0	X	X
SA16	8Kbytes	4Kwords	F8000h-F9FFFh	7C000h-7CFFFh	1	1	1	1	1	0	0
SA17	8Kbytes	4Kwords	FA000h-FBFFFh	7D000h-7DFFFh	1	1	1	1	1	0	1
SA18	16Kbytes	8Kwords	FC000h-FFFFFh	7E000h-7FFFFh	1	1	1	1	1	1	X

Note: Byte mode:address range A18:A-1, word mode:address range A18:A0.

表 4-2 扇区（Sector）选择（MX29LV800T/AT）

第四节 FLASH EPROM的基本知识及其应用

4. 扇区的划分

- 1) MX29LV800的扇区划分是不均等的，有大小扇区之分，不同型号的芯片小扇区的位置也不相同，MX29LV800T表示小扇区在底部，如表4-2所示。在对扇区擦除的时候要注意。
- 2) 对于MX29LV800T/AT，SA15，SA16，SA17，SA18是小扇区，而MX29LV800B/AB的小扇区对应的是SA0，SA1，SA2，SA3。SA由地址线A18-A12译码进行选择。
X表示无关项

Sector	Sector Size		Address range		Sector Address						
	Byte Mode	Word Mode	Byte Mode (x8)	Word Mode (x16)	A18	A17	A16	A15	A14	A13	A12
SA0	16Kbytes	8Kwords	00000h-03FFFh	00000h-01FFFh	0	0	0	0	0	0	X
SA1	8Kbytes	4Kwords	04000h-05FFFh	02000h-02FFFh	0	0	0	0	0	1	0
SA2	8Kbytes	4Kwords	06000h-07FFFh	03000h-03FFFh	0	0	0	0	0	1	1
SA3	32Kbytes	16Kwords	08000h-0FFFFh	04000h-07FFFh	0	0	0	0	1	X	X
SA4	64Kbytes	32Kwords	10000h-1FFFFh	08000h-0FFFFh	0	0	0	1	X	X	X
SA5	64Kbytes	32Kwords	20000h-2FFFFh	10000h-17FFFh	0	0	1	0	X	X	X
SA6	64Kbytes	32Kwords	30000h-3FFFFh	18000h-1FFFFh	0	0	1	1	X	X	X
SA7	64Kbytes	32Kwords	40000h-4FFFFh	20000h-27FFFh	0	1	0	0	X	X	X
SA8	64Kbytes	32Kwords	50000h-5FFFFh	28000h-2FFFFh	0	1	0	1	X	X	X
SA9	64Kbytes	32Kwords	60000h-6FFFFh	30000h-37FFFh	0	1	1	0	X	X	X
SA10	64Kbytes	32Kwords	70000h-7FFFFh	38000h-3FFFFh	0	1	1	1	X	X	X
SA11	64Kbytes	32Kwords	80000h-8FFFFh	40000h-47FFFh	1	0	0	0	X	X	X
SA12	64Kbytes	32Kwords	90000h-9FFFFh	48000h-4FFFFh	1	0	0	1	X	X	X
SA13	64Kbytes	32Kwords	A0000h-AFFFFh	50000h-57FFFh	1	0	1	0	X	X	X
SA14	64Kbytes	32Kwords	B0000h-BFFFFh	58000h-5FFFFh	1	0	1	1	X	X	X
SA15	64Kbytes	32Kwords	C0000h-CFFFFh	60000h-67FFFh	1	1	0	0	X	X	X
SA16	64Kbytes	32Kwords	D0000h-DFFFFh	68000h-6FFFFh	1	1	0	1	X	X	X
SA17	64Kbytes	32Kwords	E0000h-EFFFFh	70000h-77FFFh	1	1	1	0	X	X	X
SA18	64Kbytes	32Kwords	F0000h-FFFFFh	78000h-7FFFFh	1	1	1	1	X	X	X

Note: Byte mode:address range A18:A-1, word mode:address range A18:A0.

表 4-3 扇区（Sector）选择（MX29LV800B/AB）

第四节 FLASH EPROM的基本知识及其应用

5. NOR Flash存储器内部逻辑及功能

(1) 读数据，读数据过程与一般的SRAM一样， $\overline{OE}$ 为低电平， $\overline{WE}$ 为高电平， $\overline{RESET}$ 为高电平，在给定地址后 (A18-A0)，数据从D15-D0输出。

(2) 其它操作：包括复位，擦除，编程写等都是按照特定的命令顺序进行，命令由地址，控制信号

($\overline{OE}$, $\overline{WE}$, $\overline{RESET}$, $\overline{CE}$)，数据 (D15-D0) 共同译码决定。功能框图见图18。在特定的命令给定后

($\overline{OE}$, $\overline{WE}$, $\overline{RESET}$, $\overline{CE}$) 数据锁存，译码，形成状态寄存器。由写状态机产生对应的高压信号完成芯片的擦除或写操作。X, Y的译码原理与掩膜技术的ROM原理基本相同。

状态及功能命令，见功能命令表4-3。

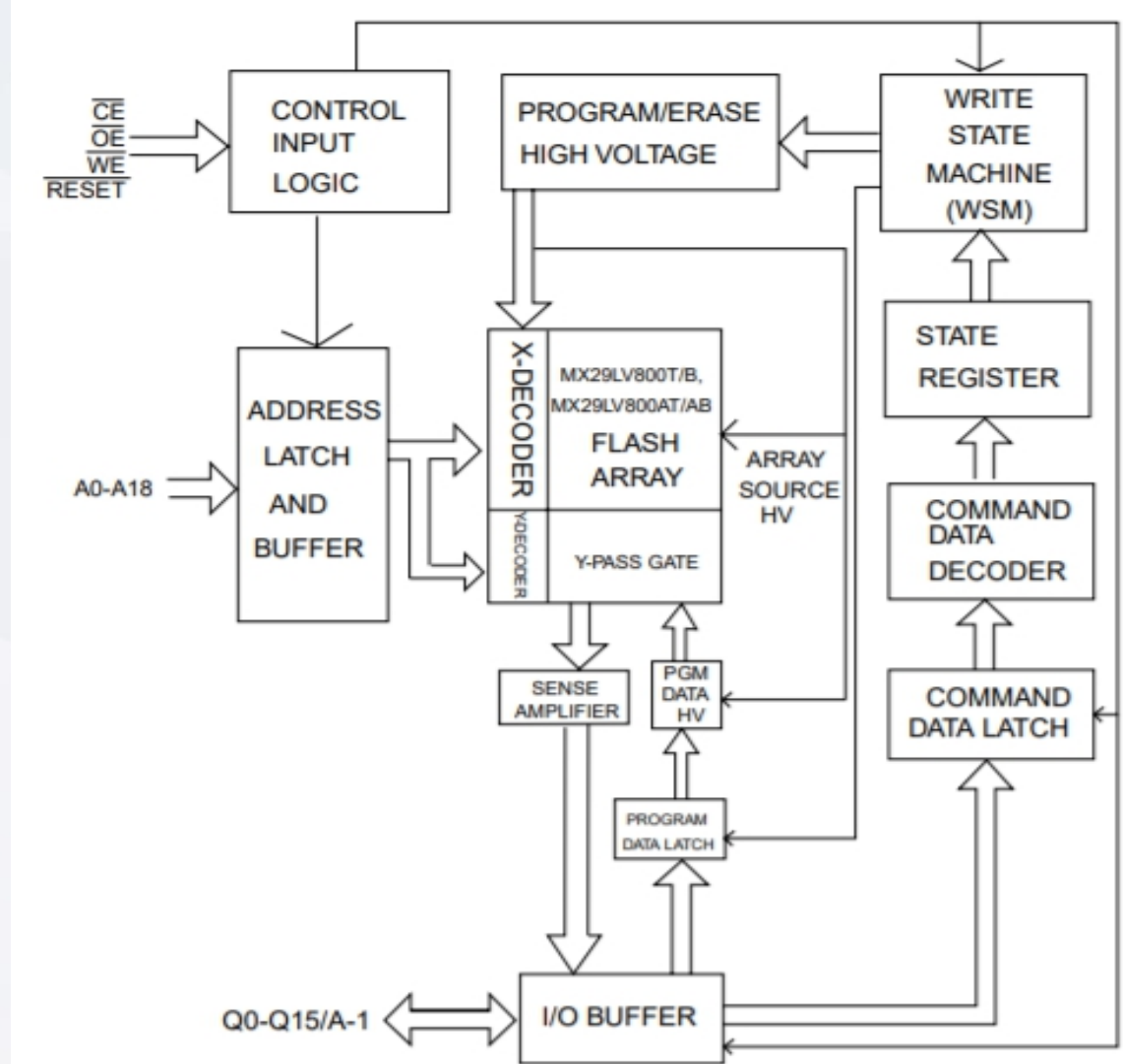


图 4-6 MX29LV800内部逻辑框图

第四节 FLASH EPROM的基本知识及其应用

6. NOR Flash存储器命令功能表

NOR Flash的操作命令见表 4-3。

1) 读操作，见上节内容

2) 编程操作：

i. 编程前：在编程之前一定要先进行芯片或扇区擦除。擦除分整片擦除和扇区擦除两种，具体选用那种根据实际需要及编程需要进行。

A. 整片擦除的命令 (chip erase): 总共6条命令，地址/数据组合

(a) 16位模式：

(1) 555H, AAH,

(2) 2AAH, 55H

(3) 555H, 80H

(4) 555H, AAH

(5) 2AAH, 55H

(6) 555H, 10H

Command	Bus Cycle	First Bus Cycle		Second Bus Cycle		Third Bus Cycle		Fourth Bus Cycle		Fifth Bus Cycle		Sixth Bus Cycle	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Reset	1	XXXH	F0H										
Read	1	RA	RD										
Read Silicon ID	Word	4	555H	AAH	2AAH	55H	555H	90H	ADI	DDI			
	Byte	4	AAAH	AAH	555H	55H	AAAH	90H	ADI	DDI			
Sector Protect Verify	Word	4	555H	AAH	2AAH	55H	555H	90H	(SA)	XX00H			
									x02H	XX01H			
	Byte	4	AAAH	AAH	555H	55H	AAAH	90H	(SA)	00H			
Program	Word	4	555H	AAH	2AAH	55H	555H	A0H	PA	PD			
	Byte	4	AAAH	AAH	555H	55H	AAAH	A0H	PA	PD			
Chip Erase	Word	6	555H	AAH	2AAH	55H	555H	80H	555H	AAH	2AAH	55H	555H 10H
	Byte	6	AAAH	AAH	555H	55H	AAAH	80H	AAAH	AAH	555H	55H	AAAH 10H
Sector Erase	Word	6	555H	AAH	2AAH	55H	555H	80H	555H	AAH	2AAH	55H	SA 30H
	Byte	6	AAAH	AAH	555H	55H	AAAH	80H	AAAH	AAH	555H	55H	SA 30H
Sector Erase Suspend	1	XXXH	B0H										
Sector Erase Resume	1	XXXH	30H										
CFI Query (for 29LV800AT/AB)	Word	1	555H	98									
	Byte	1	AAAH	98									

表 4-3 MX29LV800内部命令表

第四节 FLASH EPROM的基本知识及其应用

6. NOR Flash存储器命令功能表

2) 编程操作:

A. 整片擦除的命令 (chip erase):

(a) 16位模式擦除

(b) 8位模式擦除见表4-4,

B. 扇区擦除: 扇区擦除在命令执行后只会对所操作的扇区起作用, 其中SA是扇区的地址。扇区擦除还可以悬挂和恢复, 比如在擦除期间想读其它扇区的数据或其它操作, 就可以悬挂, 完成其它操作后再恢复该扇区的擦除。见表4-4

ii. 确定芯片或扇区完全擦除后进行编程操作, 编程共4条命令,

(a) 16位模式: (1) 555H, AAH (2) 2AAH, 55H (3) 555H, A0H (4) PA, PD 其中PA, PD是编程地址和数据。

(b) 8位模式: 见表4-4, 擦除和编程的流程图和时序图见后续内容。

Command	Bus Cycle	First Bus Cycle		Second Bus Cycle		Third Bus Cycle		Fourth Bus Cycle		Fifth Bus Cycle		Sixth Bus Cycle	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Reset	1	XXXH	F0H										
Read	1	RA	RD										
Read Silicon ID	Word	4	555H	AAH	2AAH	55H	555H	90H	ADI	DDI			
	Byte	4	AAAH	AAH	555H	55H	AAAH	90H	ADI	DDI			
Sector Protect Verify	Word	4	555H	AAH	2AAH	55H	555H	90H	(SA)	XX00H			
									x02H	XX01H			
	Byte	4	AAAH	AAH	555H	55H	AAAH	90H	(SA)	00H			
Program	Word	4	555H	AAH	2AAH	55H	555H	A0H	PA	PD			
	Byte	4	AAAH	AAH	555H	55H	AAAH	A0H	PA	PD			
Chip Erase	Word	6	555H	AAH	2AAH	55H	555H	80H	555H	AAH	2AAH	55H	555H 10H
	Byte	6	AAAH	AAH	555H	55H	AAAH	80H	AAAH	AAH	555H	55H	AAAH 10H
Sector Erase	Word	6	555H	AAH	2AAH	55H	555H	80H	555H	AAH	2AAH	55H	SA 30H
	Byte	6	AAAH	AAH	555H	55H	AAAH	80H	AAAH	AAH	555H	55H	SA 30H
Sector Erase Suspend	1	XXXH	B0H										
Sector Erase Resume	1	XXXH	30H										
CFI Query (for 29LV800AT/AB)	Word	1	555H	98									
	Byte	1	AAAH	98									

表 4-4 MX29LV800内部命令表

第四节 FLASH EPROM的基本知识及其应用

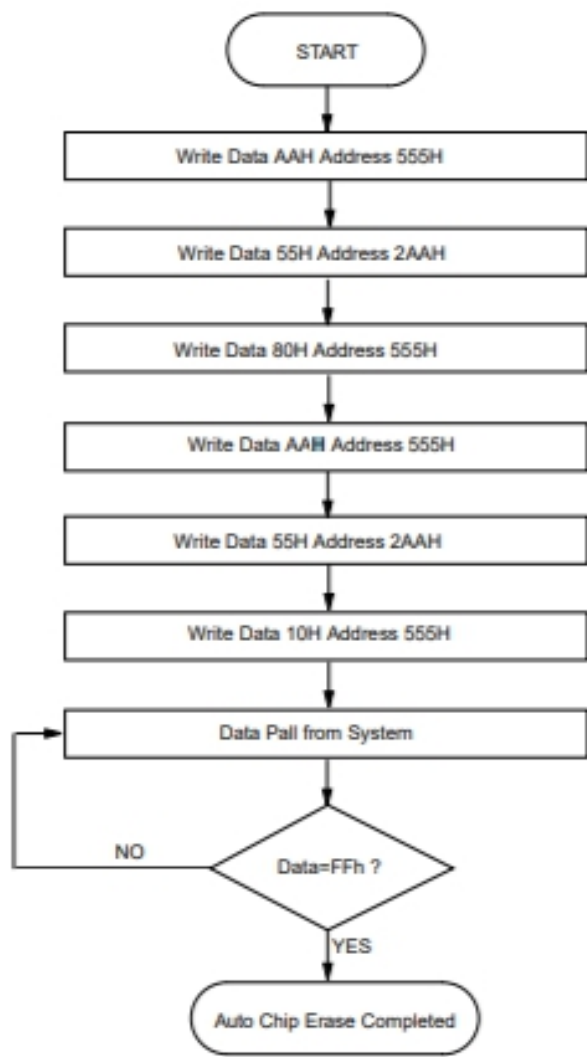


图4-7 MX29LV800整片擦除流程图

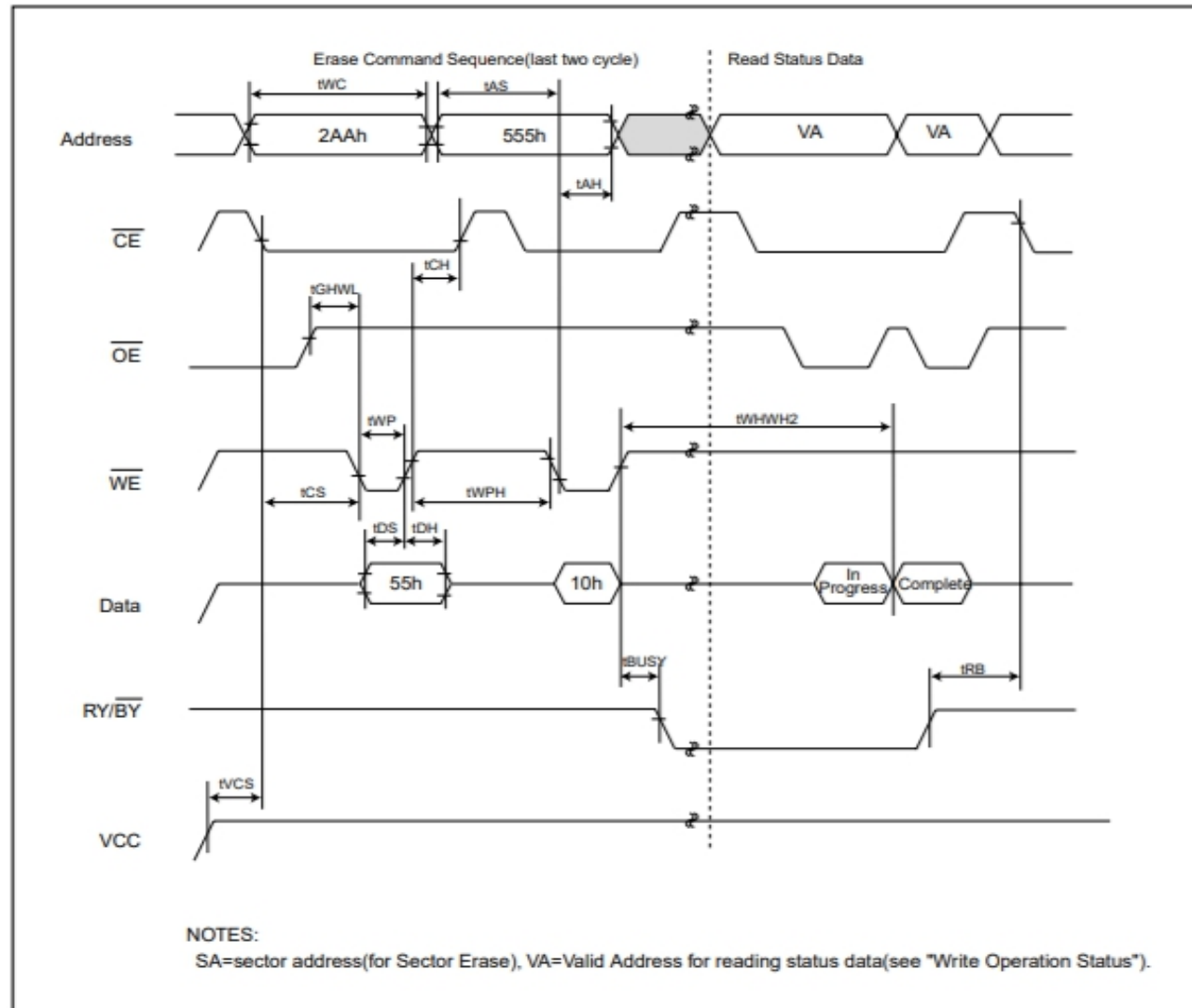


图4-8 MX29LV800整片擦除时序图（部分）

第四节 FLASH EPROM的基本知识及其应用

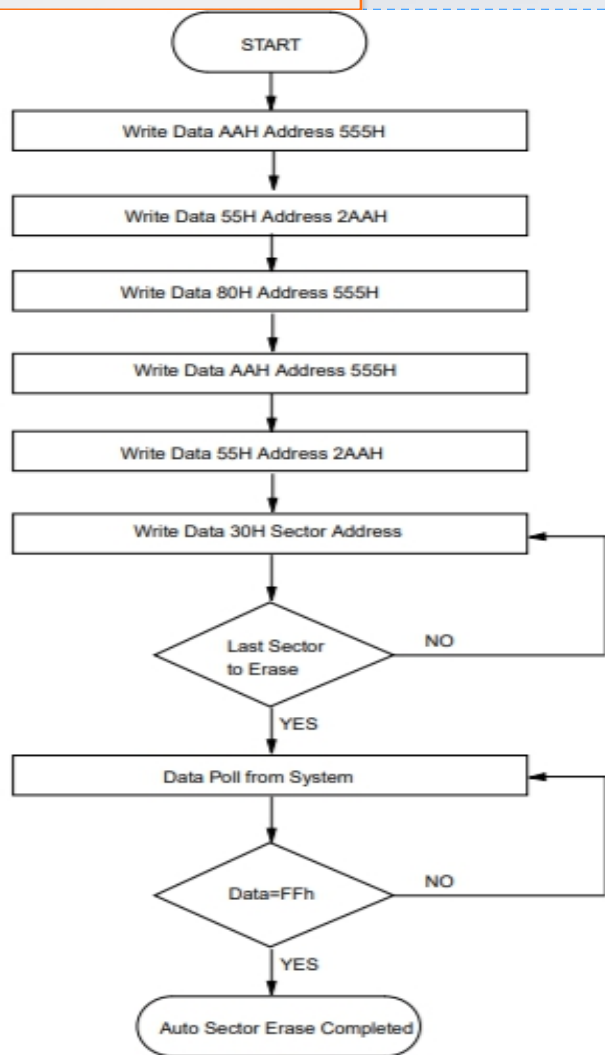


图4-9 MX29LV800扇区擦除流程图

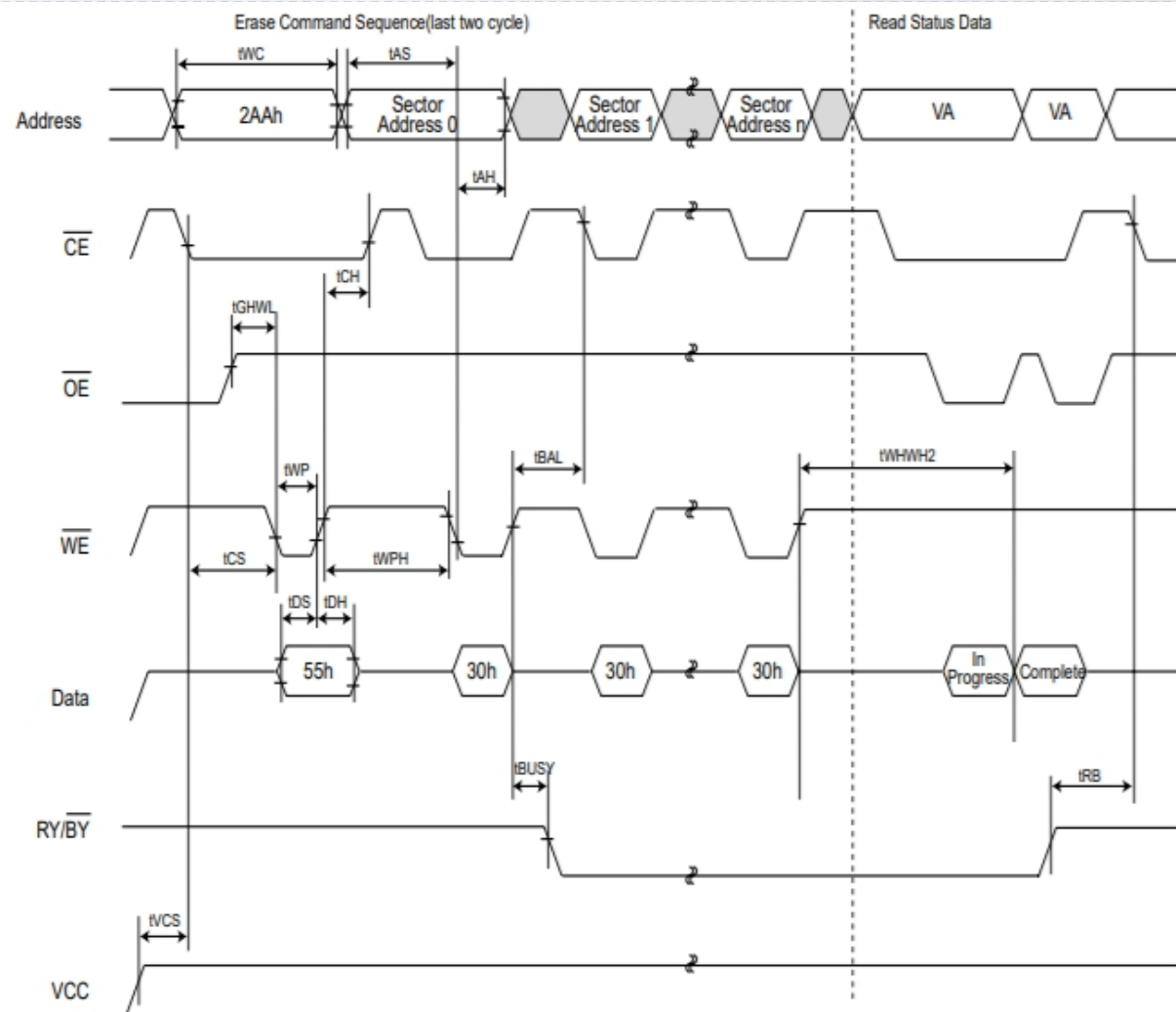


图4-10 MX29LV800扇区擦除时序图（部分）

第四节 FLASH EPROM的基本知识及其应用

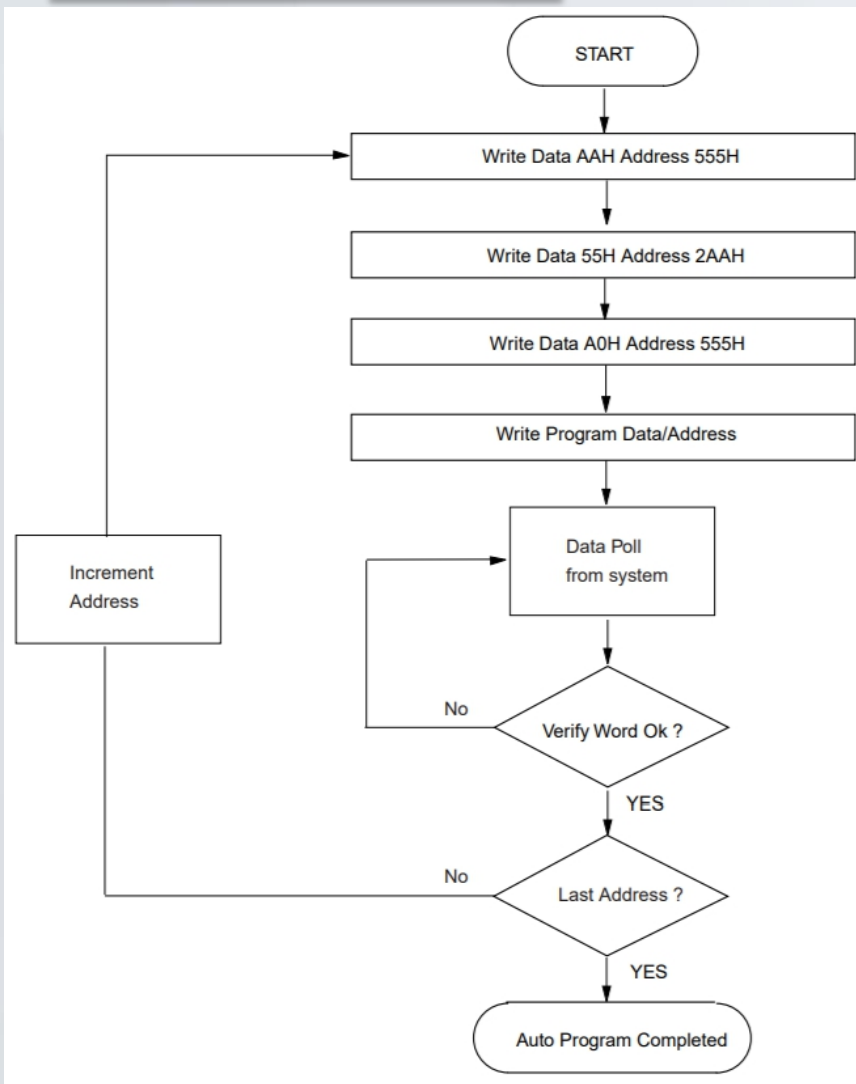


图4-9 MX29LV800编程流程图

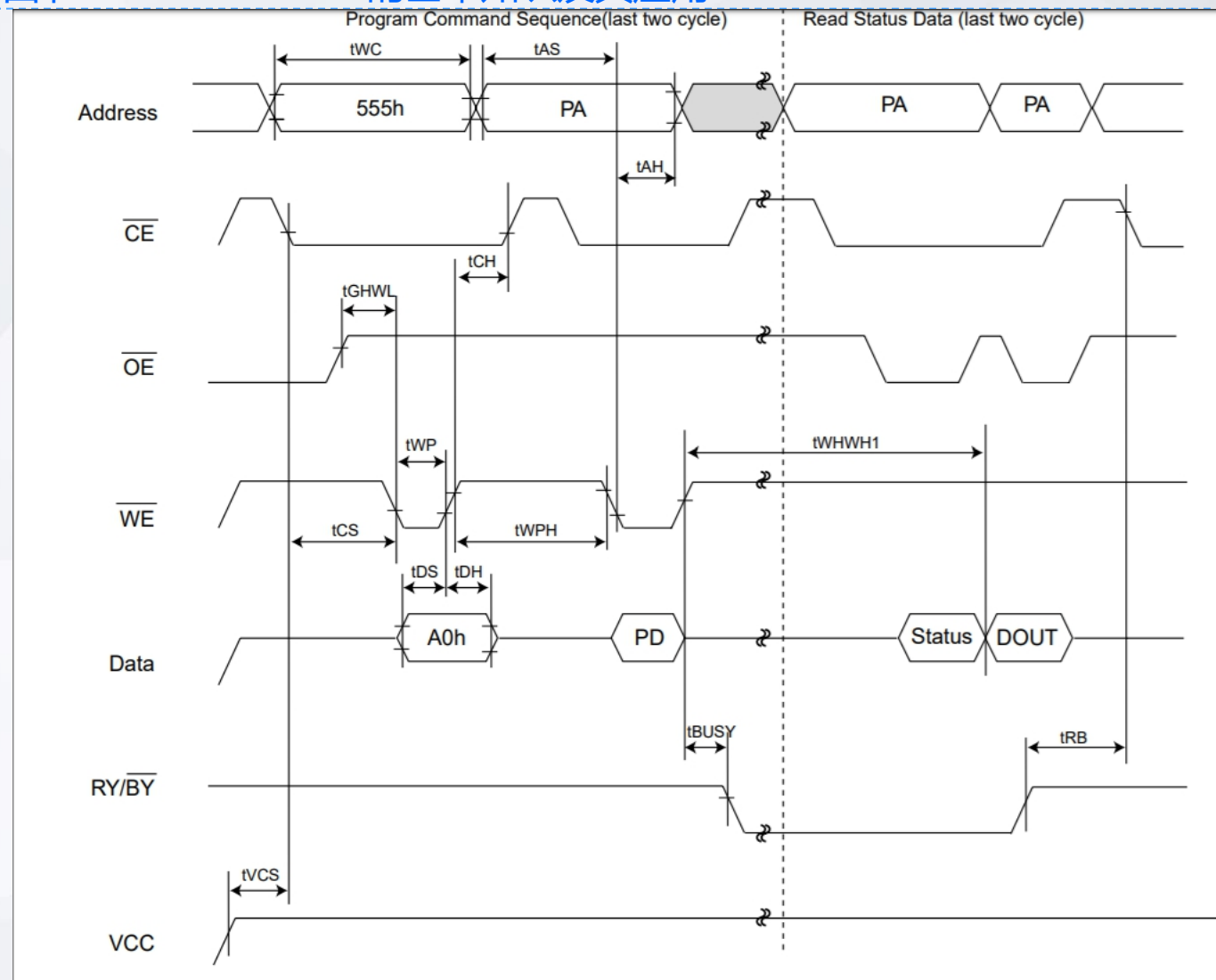


图4-10 MX29LV800编程时序图（部分）

第四节 FLASH EPROM的基本知识及其应用

4.3 NAND Flash存储器

1. NAND Flash存储器单元结构

常见的有SLC (single level cell) 和MLC(multi level cell)两种，细分还有eSLC和eMLC等，因为闪存式一种电压控制元件，因此它是以不同的电压范围来代表不同的数据，现在看看两者之间的区别。

1) SLC(single-level cell)：单阶存储单元，也就是闪存的每一个存储单元存储1bit的数据，存储的数据代表0还是1是基于V的电压阈值来判定，对于闪存写入，就是对其进行充电，使得它的电压值超过电压判定点A，存储单元就表示为0(已编程)，如果没有充电或者电压阈值低于A点，就表示1(已擦除)。这里的单元核与掩膜中的2极管的功能相似。SLC NAND FLASH由于采用单一电压控制通断，因次性能稳定，容错性能好。但相比MLC的FLASH容量较低。主要针对军工，企业级应用，有着高速写入，低出错率和耐用性。

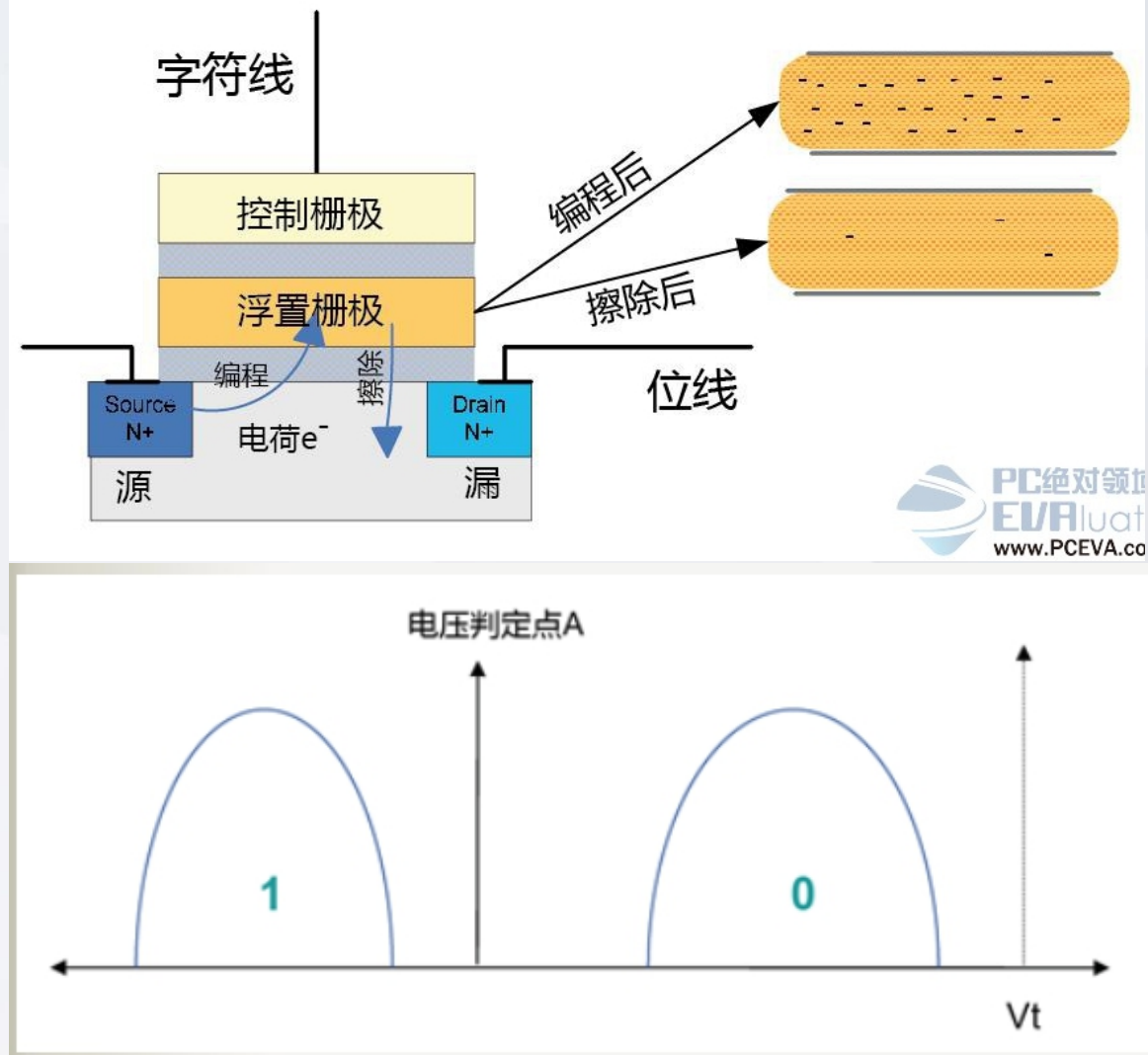


图 4-11 SLC NAND FLASH 单元控制示意图

第四节 FLASH EPROM的基本知识及其应用

4.3 NAND Flash存储器

1. NAND Flash存储器单元结构

2) MLC (Multi-level cell) 多阶存储单元结构, 其实质是在每个存储单元存储2bit的数据, 存储的数据是“00”, “01”, “10”, “11”也是基于电压的阈值的判定, 其被分成4份。

相对于SLC, MLC的每个单元是2bit, 那么单片的容量较大, 同等容量价格比较低。

同时其存储单元中存放更多的数据, 那么其结构也相对复杂, 出错的机会也比较大。因次一般会有ECC算法, 检查存储单元数据的有效性。

MLC FLASH主要针对的是消费级应用, 有着高容量, 低成本等特点, 广泛使用于USB闪存, SSD硬盘, 手机, 数码相机等存储卡。

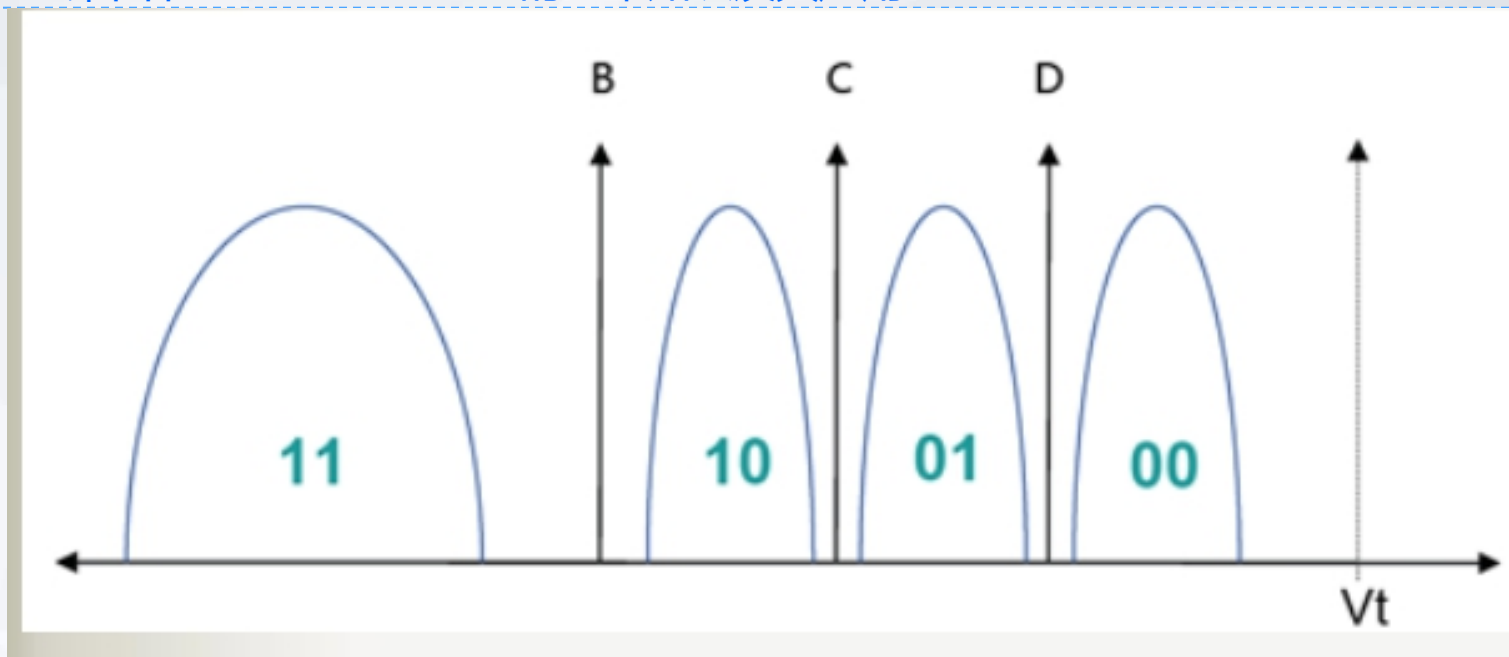


图 4-12 SLC NAND FLASH 单元控制示意图

SLC (1 bit per cell) - fastest, highest cost

MLC (2 bits per cell)

TLC (3 bits per cell)

QLC (4 bits per cell) - slowest, lowest cost

PLC (5 bits per cell) - currently in development, penta-level cell (PLC).

第四节 FLASH EPROM的基本知识及其应用

2. NAND FLASH 的读写及时序

本节以K9F1G08X0C这款芯片为例介绍其硬件组成和工作原理，其它的芯片工作原理与K9F1G08X0C基本相同，同学们可以自己阅读相关资料。NAND FLASH 与NOR FLASH相比，擦除和编程速度块，容量大，价格低廉。但读取速度较慢。

1) 总线复用

一般由于NAND的FLASH的容量较大，地址线多，一般外部的数据总线和地址总线都采用复用的方式。图4-13 是K9F1G08X0C内部功能框图，从图中可以看出：数据线，命令线，地址线（高地址、低地址）全部复用，一般在使用总线时需要严格的控制逻辑，通常在RTL设计时称为状态机

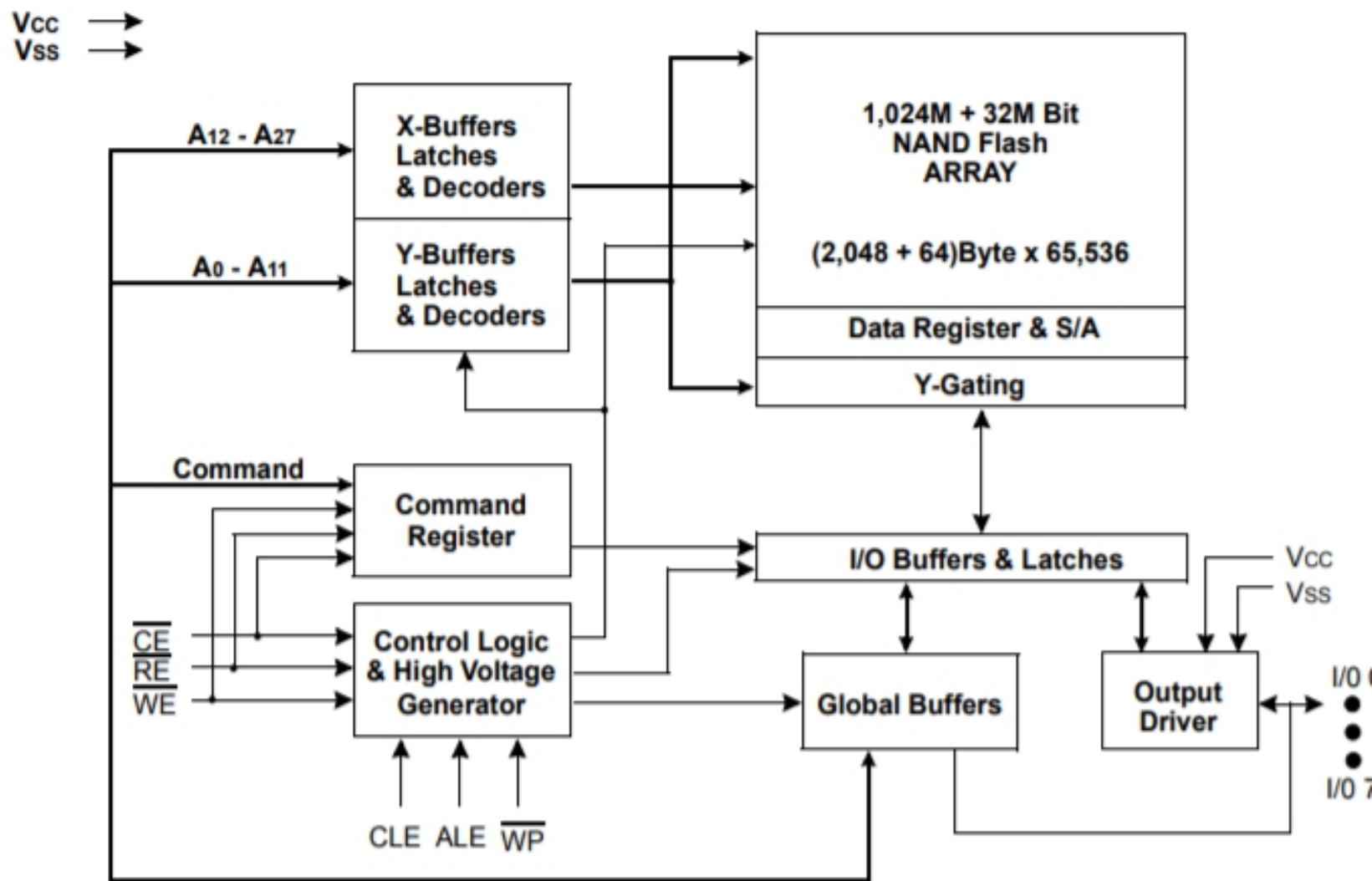


图 4-13 K9F1G08X0C内部功能框图

2. NAND FLASH 的读写及时序

2) 总线复用

由于数据线，命令线，地址线（高地址、低地址）全部复用，因次外围的有用管脚较少，在TSSOP48脚的封装中，大多数是NC（no connect）空脚，在硬件设计时，这些管脚可以和外部没有电气连接。如图4-14有效的管脚只有I/O0 ~ I/O7，CLE，ALE，CE#，RE#，WE#，WP#，R/B#个管脚。

由于TSOP1的性能比较好，因次采用TSOP1的标准封装，目前大容量的NAND FLASH还有BGA封装。该芯片在嵌入式系统中应用非常广泛。

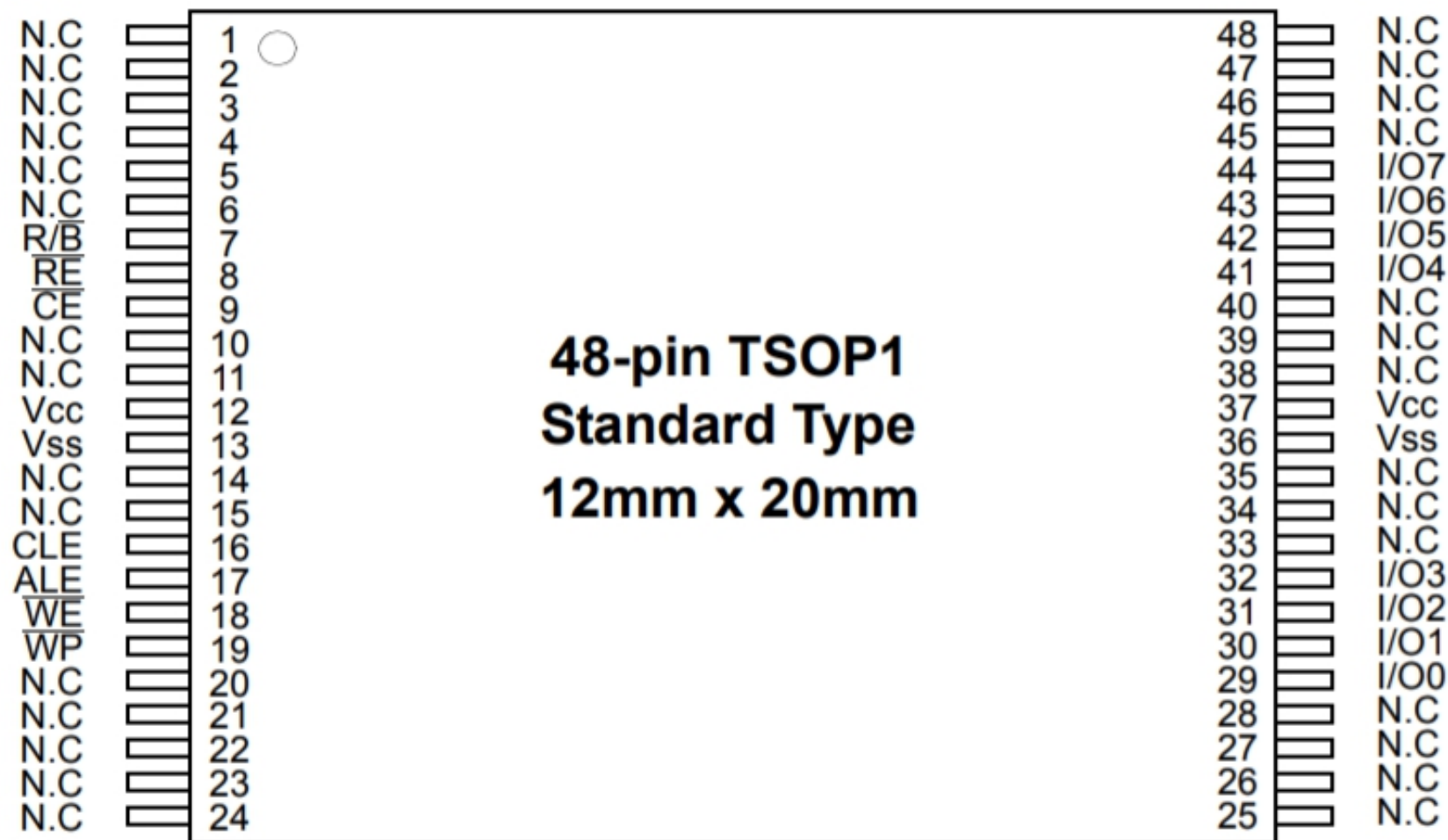


图 4-14 K9F1G08X0C芯片封装示意图

第四节 FLASH EPROM的基本知识及其应用

信号名称	管脚名称	类型	描述
数据线	I/O0 ~ I/O7	INPUTS/OUTPUTS	地址/命令/数据，在读操作的时候用来输出数据，在地址操作时输入地址，在命令操作时输入命令
命令锁存使能	CLE	Input	CLE为高时，在WE#上升沿，命令通过I/O[7:0]锁存到命令寄存器，当不传输命令时，CLE应该为低
地址锁存使能	ALE	Input	ALE为高时，在WE#下降沿，地址信息通过I/O[7: 0]锁存片内的地址寄存器。如果传输的不是地址信息，ALE应该为低
片选	CE#	Input	一旦器件进入PROGRAM或ERASE操作，CE#可以变无效
读使能	RE#	Input	在RE#上升沿将数据读回
写使能	WE#	Input	在WE#上升沿命令/地址/数据锁存
写保护	WP#	Input	当为低时候，所有的PROGRAM和ERASE都被禁止
准备/忙状态	R/B #	OD	集电极开路输出。外部需要接上拉电阻，这个脚表示芯片正在进行PROGRAM或ERASE操作。在读操作期间，表示数据正从阵列中传输到串行数据寄存器中，一旦这些操作完成，R/B#回到High-Z状态。

表 4-5 K9F1G08X0C管脚功能描述



第四节 FLASH EPROM的基本知识及其应用

2. NAND FLASH 的读写及时序

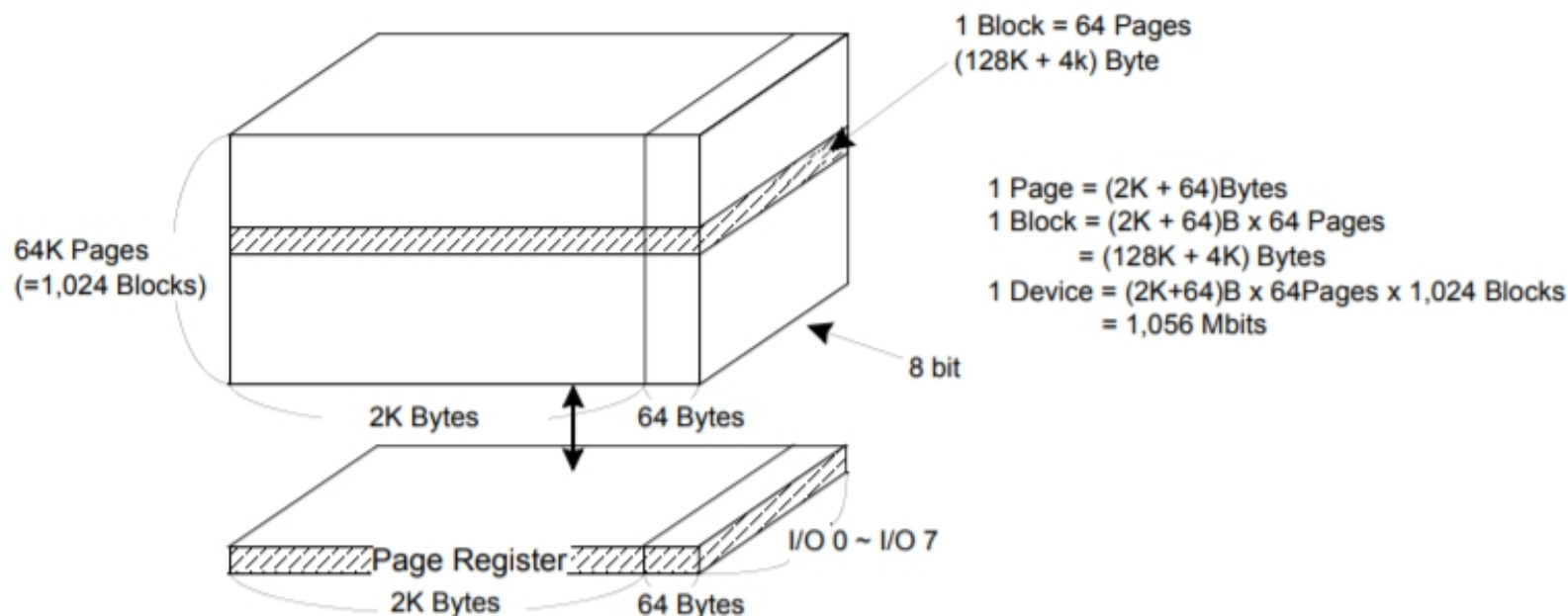
3) Nand Flash的读写寻址

(a) Nand Flash寻址及ECC

从图 4-15可以看出, NAND Flash是按照页 (pages), 块 (blocks) 的方式进行组织的。

(b) blocks) 的方式进行组织的。每个页 (2K+64) Bytes, 其中 64 Bytes 是 ECC (error correcting code) 是纠错码, 如汉明码 (Hamming code) 可以检查出 2 位错吗, 可以纠正一位错吗。因次在读操作时都会做 ECC 检查, 如果发现有一位错误并进行纠正。在擦除失败或编程失败时, 一般采用坏块替代的方式。

Column Address 决定页内寻址 (2K+64), Row Address 决定页面寻址, 可以寻址 64K 页。



	I/O 0	I/O 1	I/O 2	I/O 3	I/O 4	I/O 5	I/O 6	I/O 7	
1st Cycle	A ₀	A ₁	A ₂	A ₃	A ₄	A ₅	A ₆	A ₇	Column Address
2nd Cycle	A ₈	A ₉	A ₁₀	A ₁₁	*L	*L	*L	*L	Column Address
3rd Cycle	A ₁₂	A ₁₃	A ₁₄	A ₁₅	A ₁₆	A ₁₇	A ₁₈	A ₁₉	Row Address
4th Cycle	A ₂₀	A ₂₁	A ₂₂	A ₂₃	A ₂₄	A ₂₅	A ₂₆	A ₂₇	Row Address

Note : Column Address : Starting Address of the Register.

* L must be set to "Low".

* The device ignores any additional input of address cycles than required.

图 4-15 K9F1G08X0C 块单元寻址地址顺序

第四节 FLASH EPROM的基本知识及其应用

2. NAND FLASH 的读写及时序

4) Nand flash 控制信号编码

Nand flash 控制信号在实际操作中编码顺序是不同的,具体见表4-6,

以写模式 (write mode) 为例,先写命令 (表示以后的操作将是编程),此时CLE应为高电平,ALE为低电平,WE#由低到高在上升沿写入,RE#为高电平

。后面紧跟写地址,此时CLE为低,ALE应为高电平。在读数据时,WE#为高,RE#下降沿触发数据输出,在上升沿将数据锁存。

MODE SELECTION

CLE	ALE	$\overline{CE}$	$\overline{WE}$	$\overline{RE}$	$\overline{WP}$	Mode	
H	L	L		H	X	Read Mode	Command Input
L	H	L		H	X		Address Input(4clock)
H	L	L		H	H	Write Mode	Command Input
L	H	L		H	H		Address Input(4clock)
L	L	L		H	H	Data Input	
L	L	L	H		X	Data Output	
X	X	X	X	H	X	During Read(Busy)	
X	X	X	X	X	H	During Program(Busy)	
X	X	X	X	X	H	During Erase(Busy)	
X	X ⁽¹⁾	X	X	X	L	Write Protect	
X	X	H	X	X	0V/Vcc ⁽²⁾	Stand-by	

Note : 1. X can be V_{IL} or V_{IH} .

2. $\overline{WP}$ should be biased to CMOS high or CMOS low for standby.

表 4-6 K9F1G08X0C NAND FLASH 控制信号编码

2. NAND FLASH 的读写及时序

5) Nand flash 控制信号时序

(1) Nand flash 控制信号在实际操作中个信号的时序不同的器件不同，具体见表4-7，

Setup Time 建立时间，表示在数据线（或相对应的控制信号）有效之前已经建立并维持的时间。

Hold time 保持时间，就是在数据（或控制信号）已经完成操作后仍需保留的时间。

Cycle Time 周期信号，即前后两次操作需要的时间。

在FPGA编程前要仔细阅读该表，确定各信号的时序关系，才能正确编程并能有效操作各个信号。

AC Timing Characteristics for Command / Address / Data Input

Parameter	Symbol	Min	Max	Unit
CLE Setup Time	tCLS ⁽¹⁾	12	-	ns
CLE Hold Time	tCLH	5	-	ns
$\overline{\text{CE}}$ Setup Time	tCS ⁽¹⁾	20	-	ns
$\overline{\text{CE}}$ Hold Time	tCH	5	-	ns
$\overline{\text{WE}}$ Pulse Width	tWP	12	-	ns
ALE Setup Time	tALS ⁽¹⁾	12	-	ns
ALE Hold Time	tALH	5	-	ns
Data Setup Time	tDS ⁽¹⁾	12	-	ns
Data Hold Time	tDH	5	-	ns
Write Cycle Time	tWC	25	-	ns
$\overline{\text{WE}}$ High Hold Time	tWH	10	-	ns
Address to Data Loading Time	tADL ⁽²⁾	100	-	ns

Note : 1. The transition of the corresponding control pins must occur only once while $\overline{\text{WE}}$ is held low

2. tADL is the time from the $\overline{\text{WE}}$ rising edge of final address cycle to the $\overline{\text{WE}}$ rising edge of first data cycle

表 4-7 K9F1G08X0C NAND FLASH 控制信号时间参数表

(2) Nand flash
控制信号之间时序
关系：

表4-8描述了各个
控制信号之间的时
序关系，如*CLE to
RE# Delay* 指的
是当*CLE*结束后
*RE#*信号需等待的
时间

AC Characteristics for Operation

Parameter	Symbol	Min	Max	Unit
Data Transfer from Cell to Register	tr	-	25	μs
ALE to $\overline{RE}$ Delay	tAR	10	-	ns
CLE to $\overline{RE}$ Delay	tCLR	10	-	ns
Ready to $\overline{RE}$ Low	tRR	20	-	ns
$\overline{RE}$ Pulse Width	trP	12	-	ns
$\overline{WE}$ High to Busy	twB	-	100	ns
Read Cycle Time	trC	25	-	ns
$\overline{RE}$ Access Time	tREA	-	20	ns
$\overline{CE}$ Access Time	tCEA	-	25	ns
$\overline{RE}$ High to Output Hi-Z	trHZ	-	100	ns
$\overline{CE}$ High to Output Hi-Z	tCHZ	-	30	ns
$\overline{CE}$ High to ALE or CLE Don't Care	tCSD	0	-	ns
$\overline{RE}$ High to Output Hold	trHOH	15	-	ns
$\overline{RE}$ Low to Output Hold	trLOH	5	-	ns
$\overline{CE}$ High to Output Hold	tCOH	15	-	ns
$\overline{RE}$ High Hold Time	tREH	10	-	ns
Output Hi-Z to $\overline{RE}$ Low	tIR	0	-	ns
$\overline{RE}$ High to $\overline{WE}$ Low	trHW	100	-	ns
$\overline{WE}$ High to $\overline{RE}$ Low	twHR	60	-	ns
Device Resetting Time(Read/Program/Erase)	trST	-	5/10/500 ⁽¹⁾	μs

Note : 1. If reset command(FFh) is written at Ready state, the device goes into Busy for maximum 5μs.

表 4-8 命令时序参数表（信号间相对时间）



第四节 FLASH EPROM的基本知识及其应用

6) 操作命令

操作命令见表4-9，这里的操作命令的原理与 *NOR FLASH* 非常类似。但是最大区别是 *NAND Flash* 存储器读数据也需要先从命令开始。因次 *NAND FLASH* 存储器不能作为直接运行的程序存储器使用。

读命令：00h,30h
在嵌入式系统中，可以把程序存到 *NAND FLASH* 存储器中，在系统配置完成后，将程序搬移到内存中

（DDR3，4）中在运行。此时 *NAND FLASH* 相当于硬盘。

Function	1st Cycle	2nd Cycle	Acceptable Command during Busy
Read	00h	30h	
Read for Copy Back	00h	35h	
Read ID	90h	-	
Reset	FFh	-	0
Page Program	80h	10h	
Copy-Back Program	85h	10h	
Block Erase	60h	D0h	
Random Data Input ⁽¹⁾	85h	-	
Random Data Output ⁽¹⁾	05h	E0h	
Read Status	70h	-	0

Note : 1. Random Data Input/Output can be executed in a page.

Caution : Any undefined command inputs are prohibited except for above command set of Table 1.

表 4-9 操作命令表

第四节 FLASH EPROM的基本知识及其应用

6) 操作命令

A) 初始无效块检查

1) 初始无效块 (Invalid Block) 的检查, 在计算机或控制系统中首先对初始无效块 (Invalid Block) 进行检查, 如果有坏块 (Invalid Block) 存在, 主控制程序将对坏块进行记录, 并形成坏块记录表。

2) 坏块标记前禁止擦除

在以后的数据交换时避免使用已标记的坏块。由于在擦除操作时, 将会把坏块信息擦除, 因此首次使用 NAND Flash 存储器时严格禁止对在没有坏块标记时对芯片进行擦除或编程。

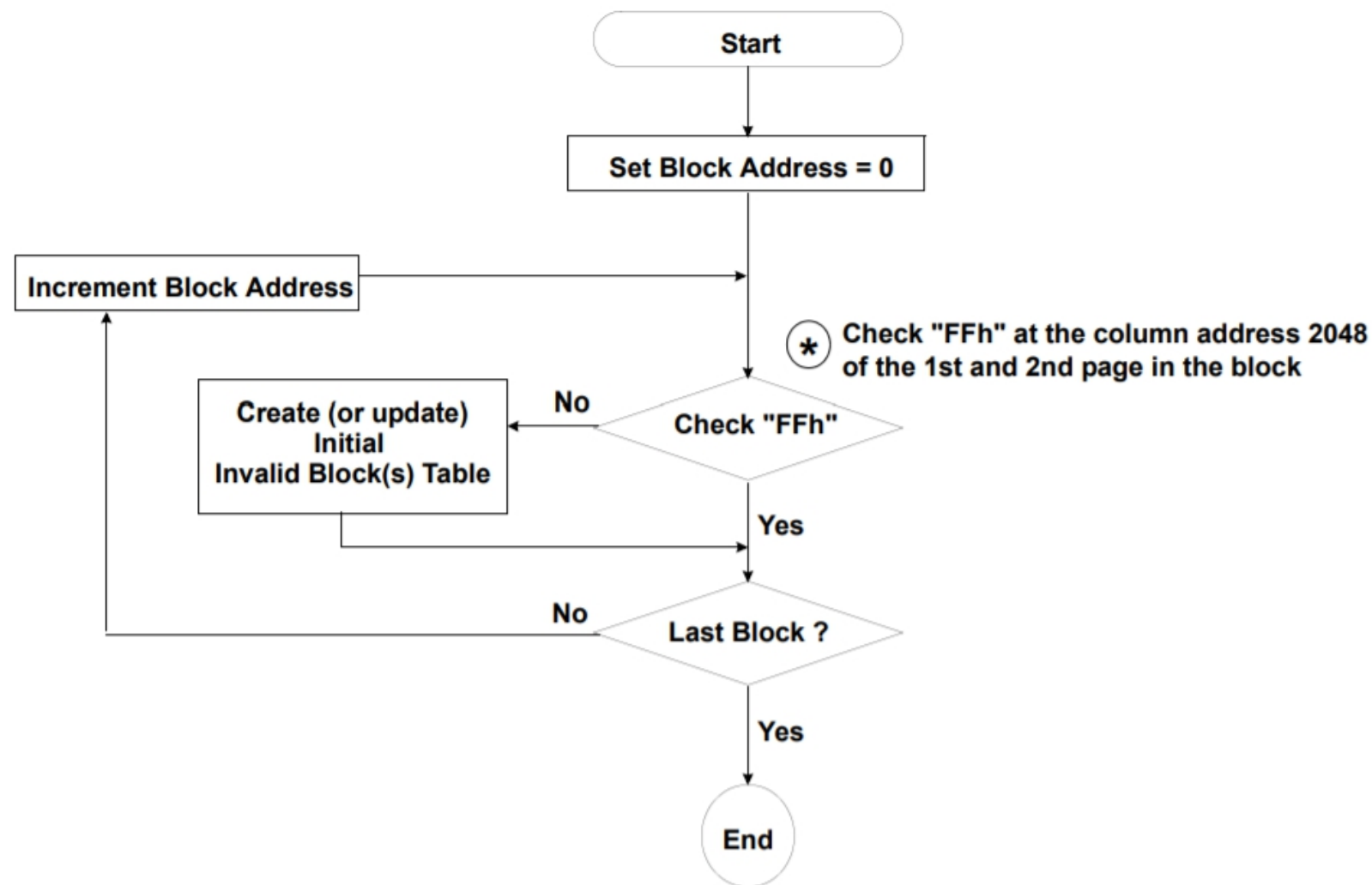


图 4-16 无效块检查流程图

第四节 FLASH EPROM的基本知识及其应用

6) 操作命令

B. 编程操作

a) 编程操作流程

- i. 写命令80H
- ii. 写地址
- iii. 写数据
- iv. 写命令10H
- v. 读状态寄存器
- vi. 空闲检查 (判断I/O₆ 或是否为0)
- vii. 编程出错检查; 如果I/O₀=0, 正确编程;
- viii. 如果I/O₀=1, 编程错误, 出错处理

b) 坏块处理,

- i. 如果编程出错, 同样要进行坏块标记与处理, 具体的处理方式可能不同。
- ii. 复制程序到另一个有效的块中。

c) ECC检查:

如果仅是一个bit错误, 可以通过ECC纠正, 不需要块拷贝和坏块标记。 这只是针对读数据检查。

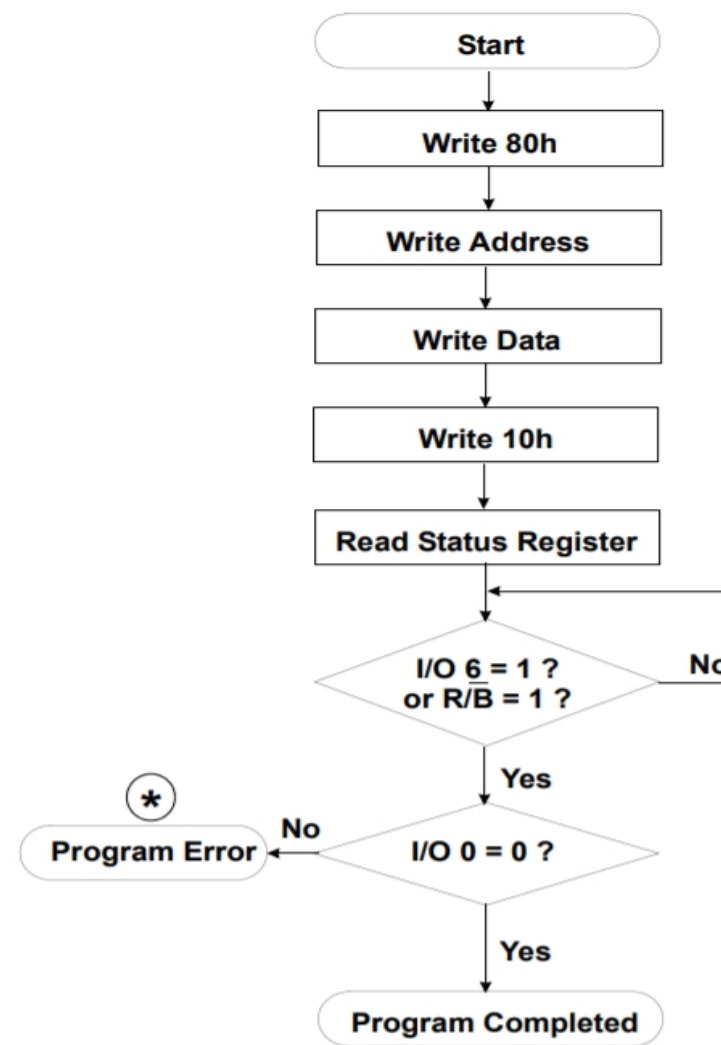


图 4-17 编程流程图

第四节 FLASH EPROM的基本知识及其应用

6) 操作命令

C. 按照页码顺序编程

在块编程中，必须按照块中页码的顺序编程，页码顺序从小到大，NAND Flash 不支持页码的乱序编程。

D. LSB PAGE

LSB PAGE不一定从Page0 开始，只是在要编程的页码中最低页码。

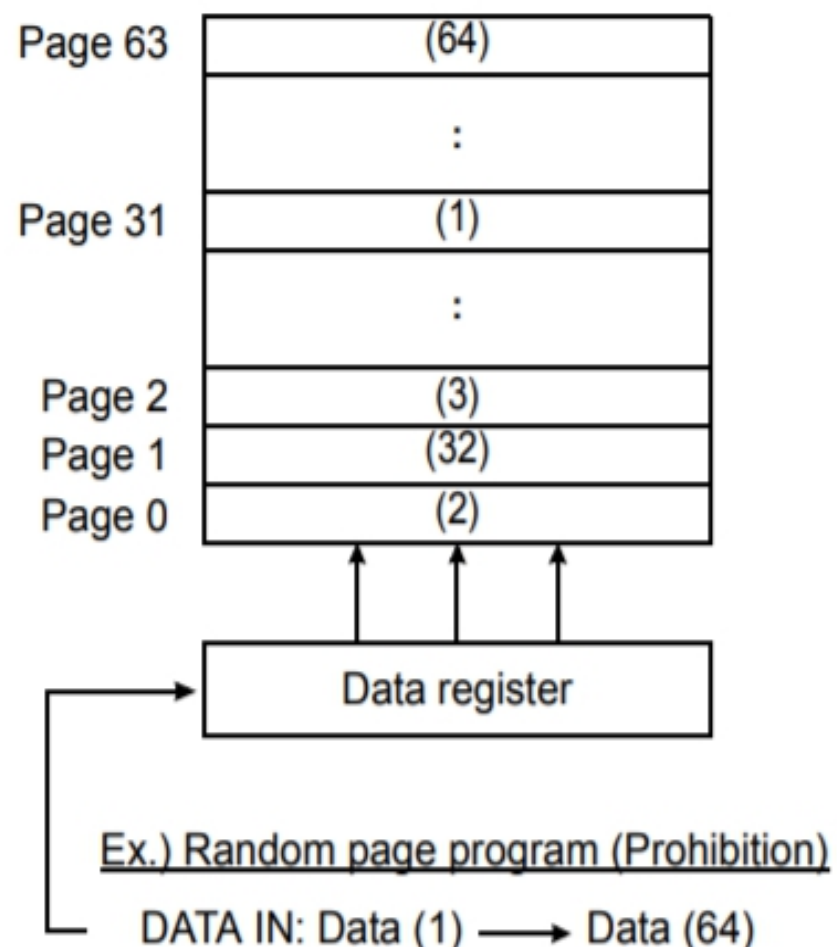
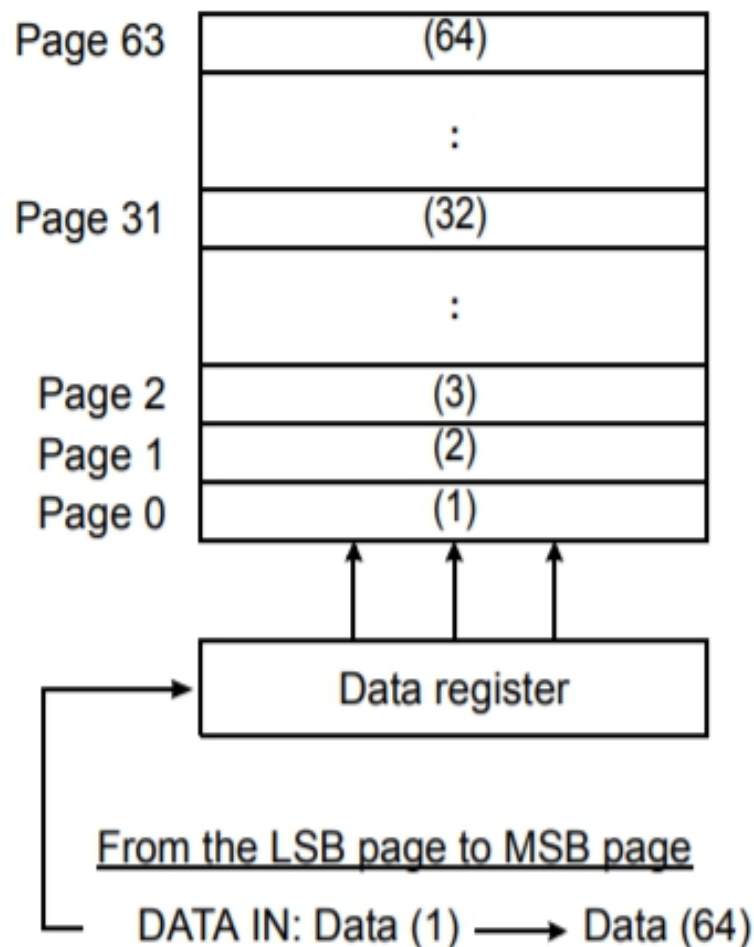


图 4-18 块内按页码编程流程图

第四节 FLASH EPROM的基本知识及其应用

6) 操作命令

E. 块擦除及读操作流程

a) 块擦除：写命令60H，写要擦除块的块地址，写命令D0H。

i. 检查操作状态：写“读状态”命令，检查I/O6或是否为0，如果为1，等待

ii. I/O6或为0，检查I/O0是否为零；如果I/O为0，则擦除正确，否则擦写错误。

iii. 擦写正确，可以为对应的块进行编程。

iv. 如果擦写出错，重复上面的步骤，如果仍然出错，则标记坏块。

b) 读操作：

i. 写命令60H，

ii. 写读地址，

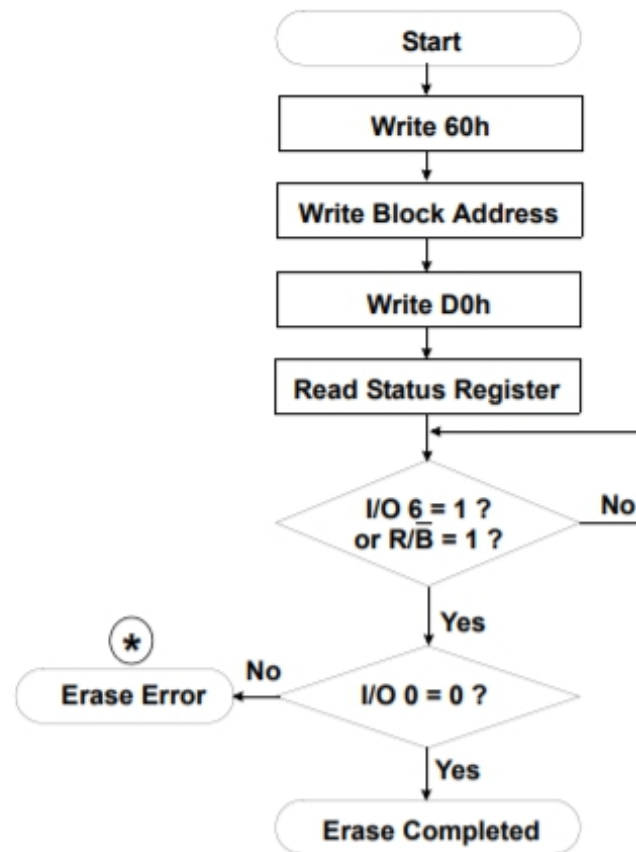
iii. 写命令30H，

iv. 读数据，检查ECC，并纠错

v. 如果无法纠正，坏块标记

作业题：用Verilog或C语言实现块擦除

Erase Flow Chart



* : If erase operation results in an error, map out the failing block and replace it with another block.

Read Flow Chart

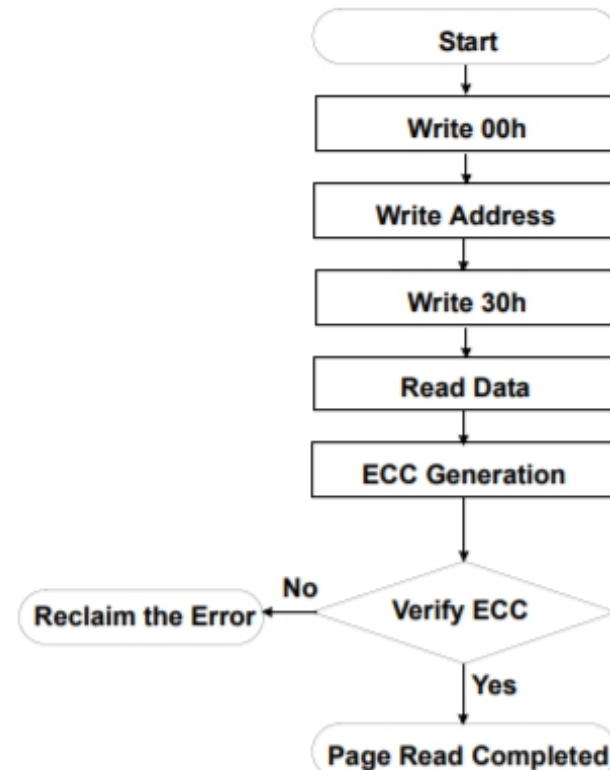


图 4-19 块擦除及读操作流程图

第四节 FLASH EPROM的基本知识及其应用

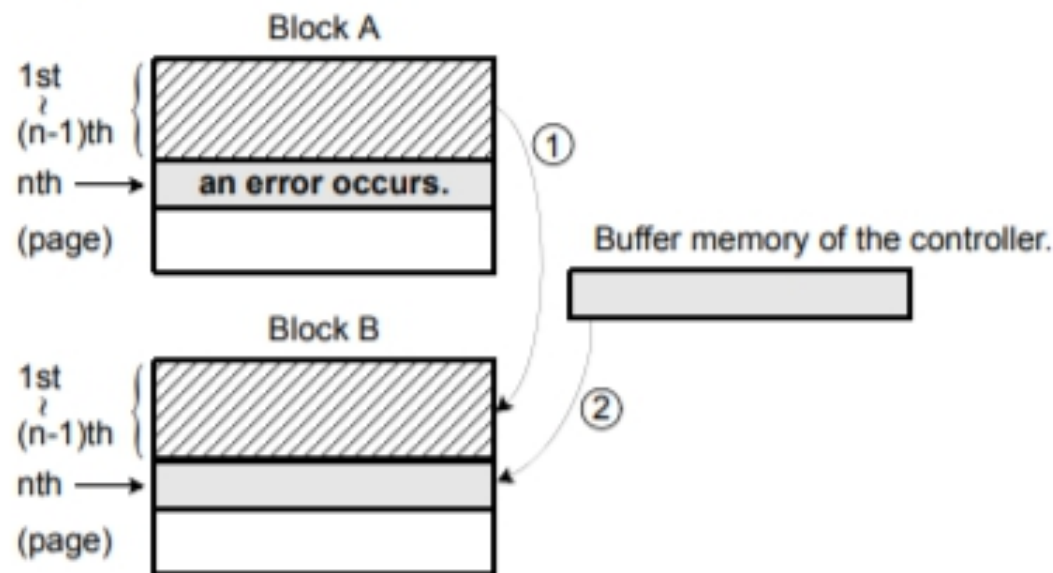
6) 操作命令

F. 无效块替换

- A) 如果发现在擦除或编程中块‘A’中第n个页有错误，
- B) 复制第1—N-1页的内容到另一个自由的块（块B）中相同位置
- C) 将缓存中第n 页的内容复制的块B的第n页，
- D) 将块A添加的坏块的记录表中
- E) 在坏块中做标记（类似出厂时厂家标记的位置）
- F) 不要擦除该块。

因次在擦除或wei编程前要将块中的内容读到缓冲区中。

作业题：用C（或Verilog）语言实现无效块替代程序

Block Replacement

* Step1

When an error happens in the nth page of the Block 'A' during erase or program operation.

* Step2

Copy the data in the 1st ~ (n-1)th page to the same location of another free block. (Block 'B')

* Step3

Then, copy the nth page data of the Block 'A' in the buffer memory to the nth page of the Block 'B'.

* Step4

Do not erase or program to Block 'A' by creating an 'invalid block' table or other appropriate scheme.

图 4-19 块内按页码编程流程图

第四节 FLASH EPROM的基本知识及其应用

6) 操作命令

G. 编程写时序

按照控制信号命令的逻辑，CLE 控制命令写入， $\overline{ALE}$ 在高电平时写入地址，在 $\overline{CE}$ 与 $\overline{WE}$ 为低电平时按照字节串行的方式写入。在非写入期间 $\overline{CE}$ 的值可以为高电平，可以降低功耗。其它的操作时序类似，可以参照NAND FLASH 存储器的文档描述， 这里不在累述。

如图4-20 在写地址之后，数据可以批量写入，知道下一个命令10H

作业题：（1）用Verilog 或C语言编写 NAND FLASH 的擦除过程，并写出testbench的仿真程序

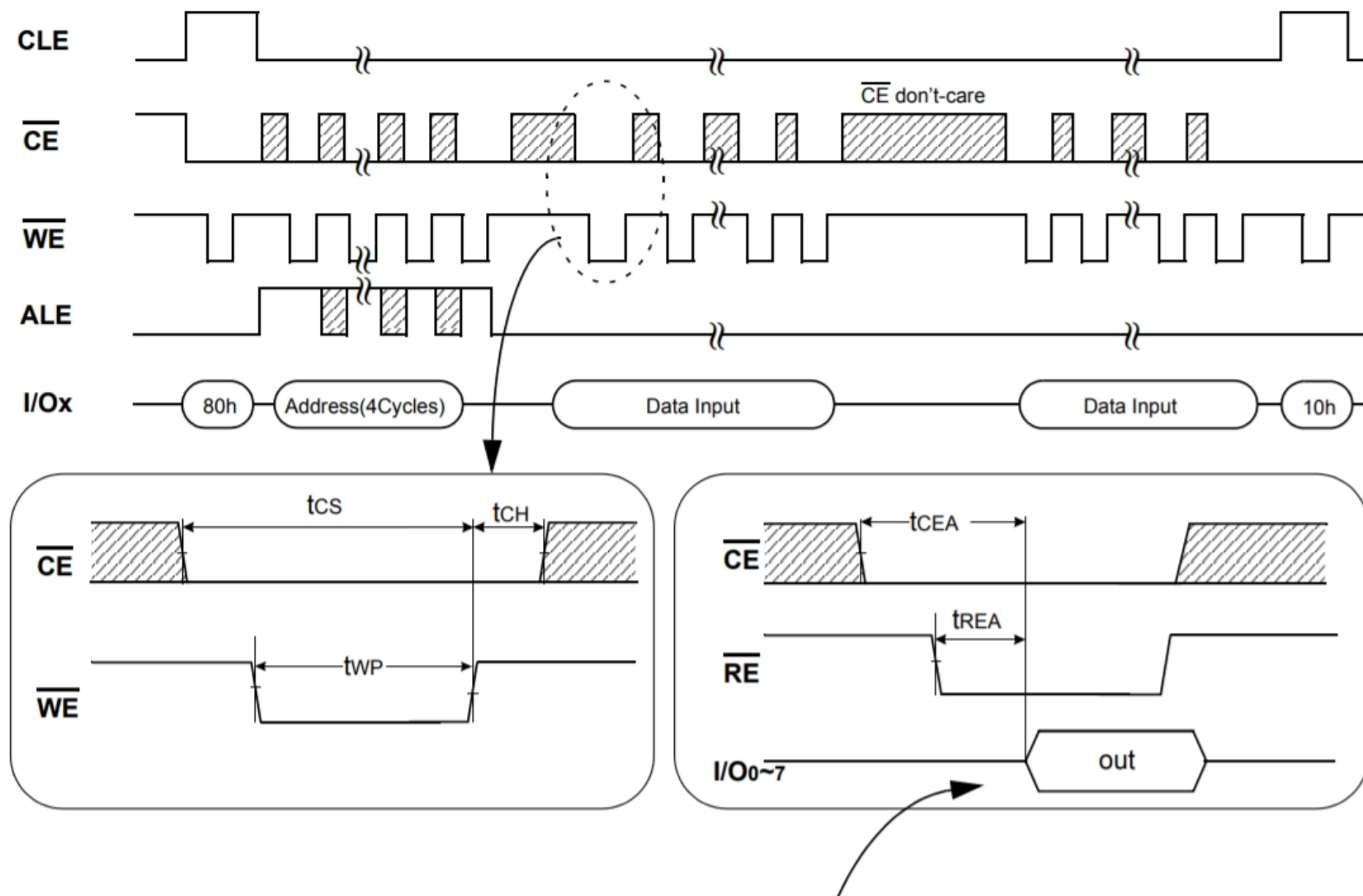


图 4-20 编程写时序

第五节 SRAM的基本知识及其应用

5.1 SRAM的工作原理

1. SRAM是可读可写的静态随机存储器

- 1) 六管SRAM的原理：六管指的是由六个晶体管组成，如图5-1中的M1、M2、M3、M4、M5、M6。

SRAM中的每1bit存储在由4个场效应管（M1，M2，M3，M4）构成两个交叉耦合的反相器中。另外两个场效应管（M5，M6）是存储基本单元到用于读写的位线（Bit Line）的控制开关。访问SRAM时，字线（Word Line）加高电平，使得每个基本单元的两个控制开关用的晶体管M5与M6开通，把基本单元与位线（Bit Line）连通。位线用于读或写基本单元的保存的状态。虽然不是必须两条取反的位线，但是这种取反的位线有助于改善噪声容限。

2) 特点如下：

- （1）可读可写
- （2）无需编程命令
- （3）地址访问可以随机给出
- （4）掉电丢失

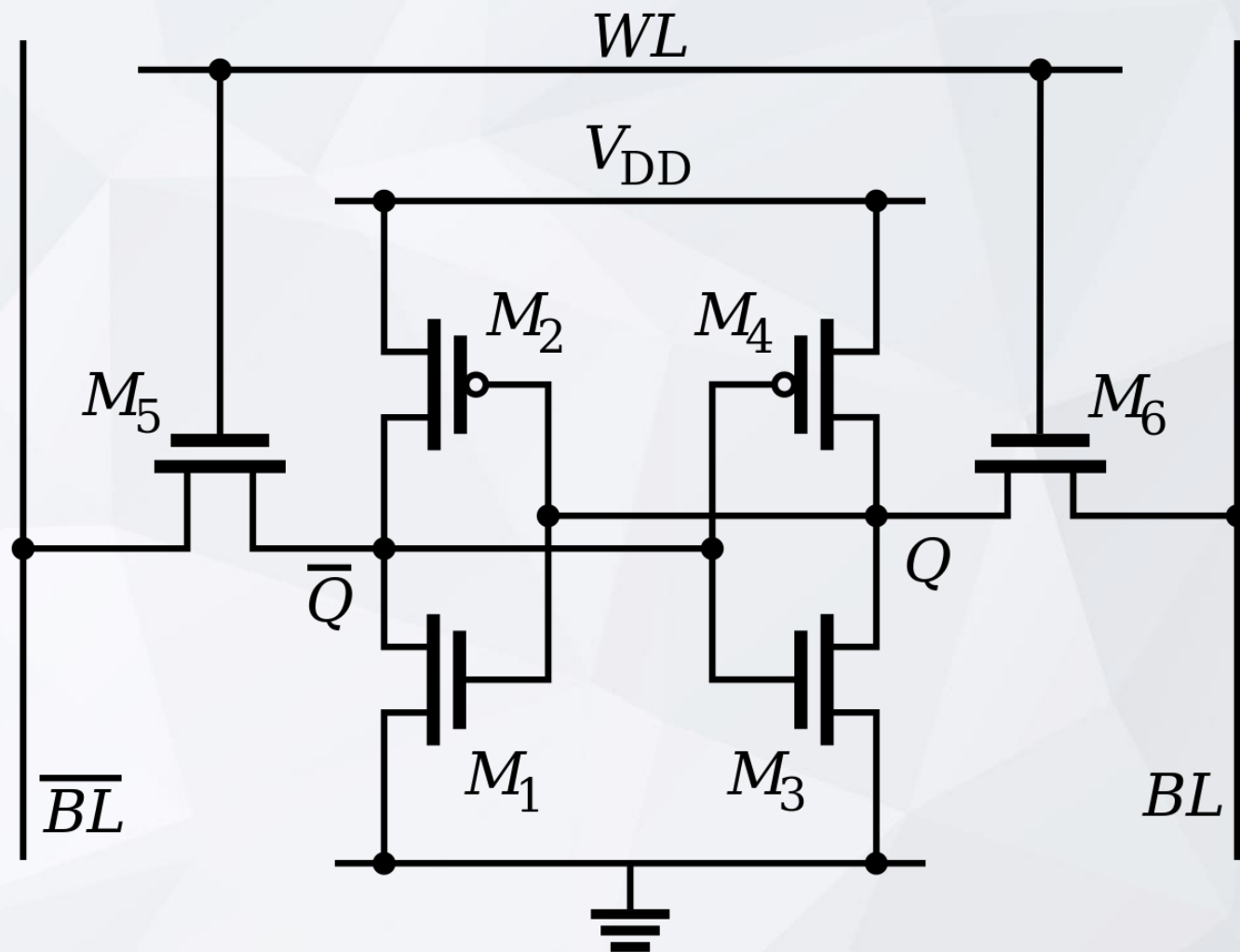


图 5-1 SRAM的单元结构示意图

第五节 SRAM的基本知识及其应用

The top diagram shows a CMOS inverter circuit. It consists of a PMOS transistor with its source connected to V_{DD} and its gate connected to input A . It is connected in series with an NMOS transistor, whose source is connected to V_{SS} and its gate is also connected to input A . The output of the inverter, labeled Q , is taken from the common drain connection of the two transistors.

The bottom diagram is a logic symbol for an inverter. It is a rectangular box containing the number '1'. The input is on the left, and the output is on the right, indicated by a small circle at the output terminal.

图 5-2 非门等效电路

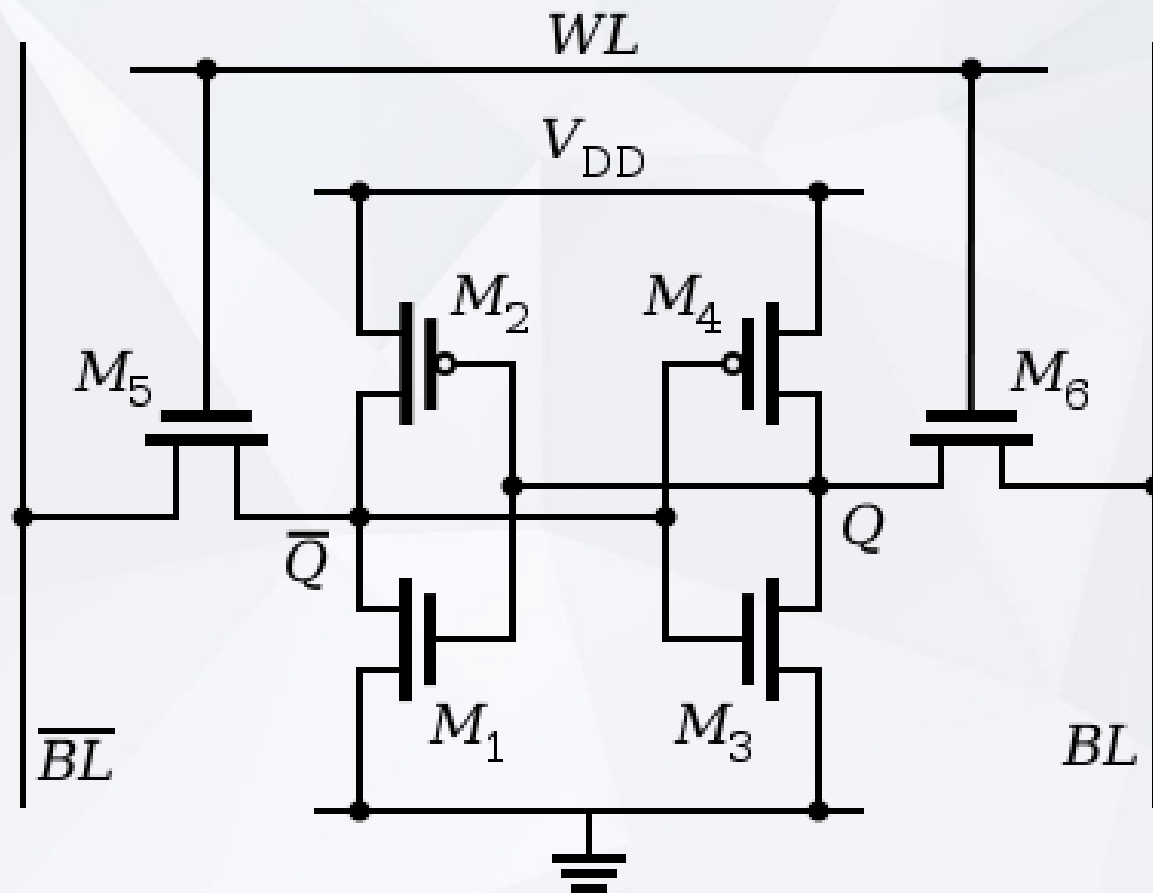
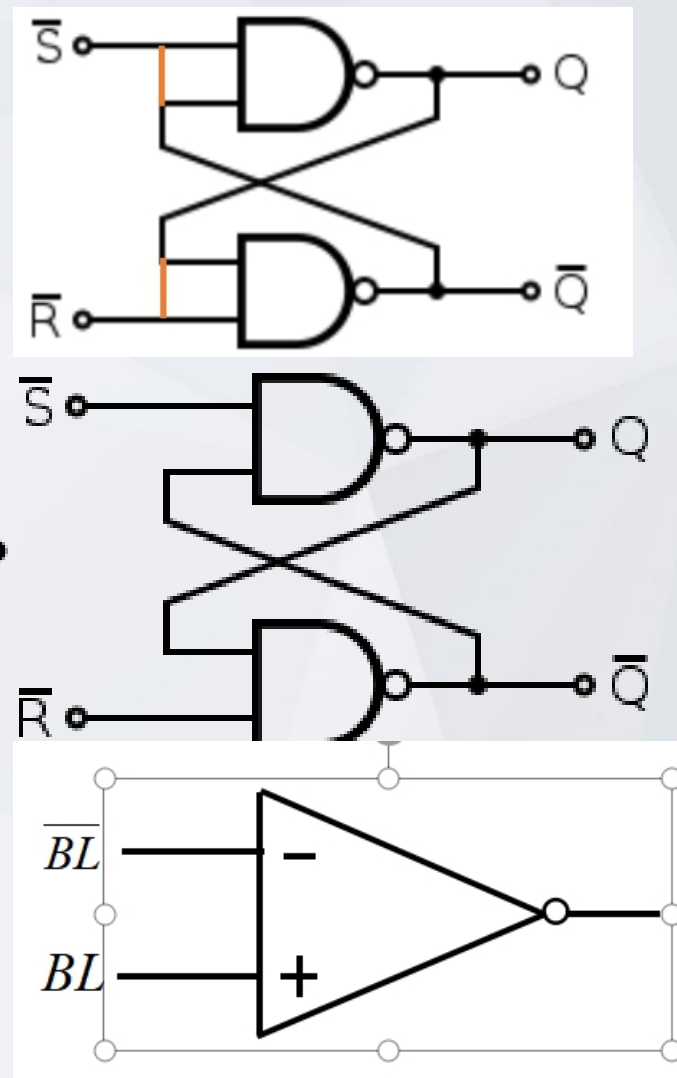


图 5-3 SRAM的单元结构等效电路



4) R S 触发器功能表

SR触发器真值表

$\bar{S}$	$\bar{R}$	Q	Q_{next}	解释
1	1	0	0	维持
1	1	1	1	维持
1	0	0	0	重设
1	0	1	0	重设
0	1	0	1	设定
0	1	1	1	设定
0	0	0	-	不允许
0	0	1	-	不允许

表 5-1 RS触发器真值表

改进型SRAM的结构单元

从图5-4可以清楚的看出行选择线X，列选择线Y，位线B及字选线之间的关系。

在地址译码方面与**MASK ROM**的译码几乎没有区别。

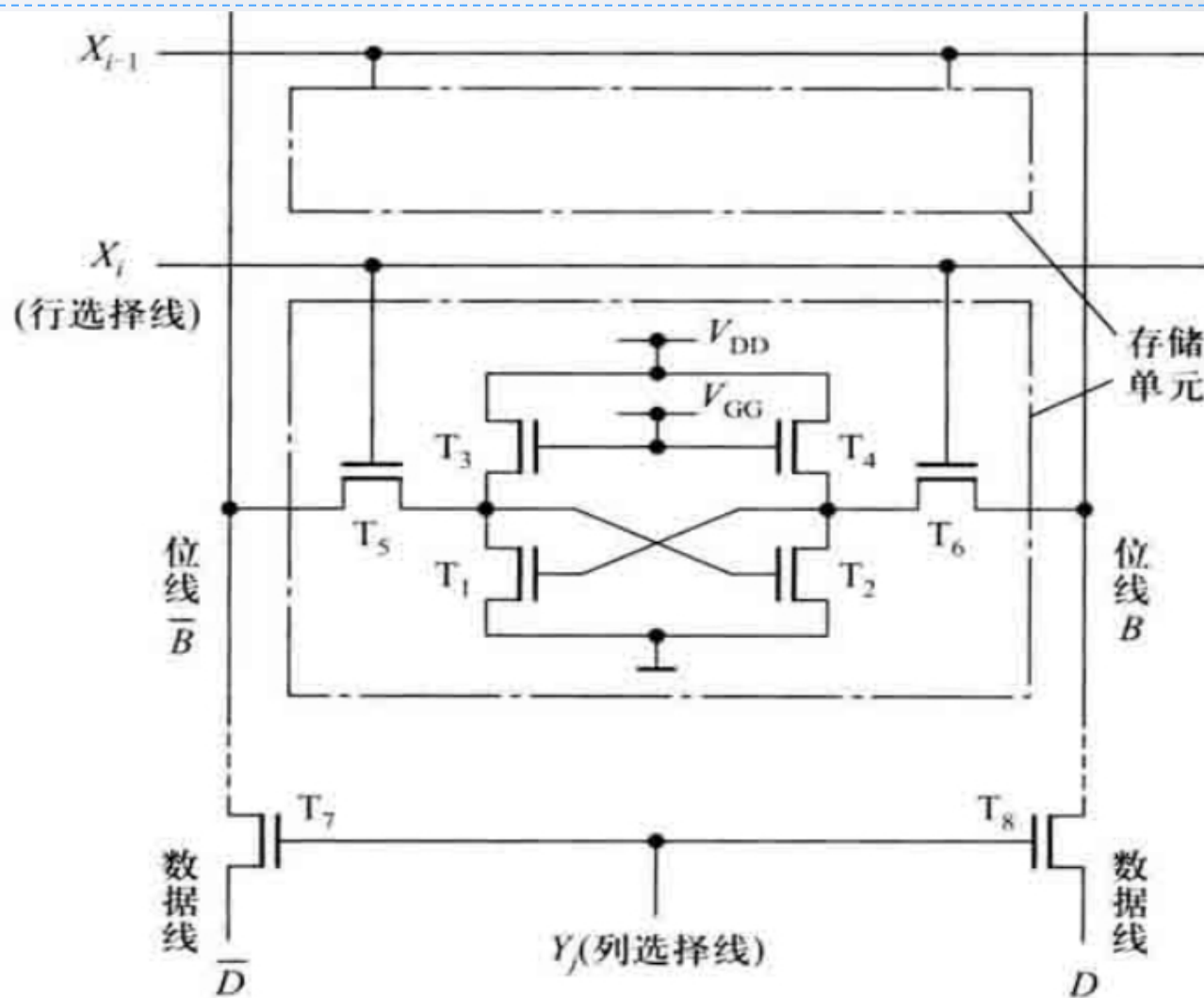


图 5-4 改进型SRAM的单元结构示意图

第五节 SRAM的基本知识及其应用

5.2 SRAM 的操作时序

上节讲解了SRAM的基本原理，SRAM芯片目前比较流行的有8位和16位的数据接口，8位接口常用于8位机的设计中进行片外RAM的扩展，16位接口用于16位机或32位机外部RAM的扩展。本节将结合具体16位实例芯片 IS61WV51216BLL-10TI，进行操作时序的讲解。

该芯片是512K X 16的结构，总容量为1MBytes。

IS61WV51216BLL-10TI的管脚描述

- (1) A0-A18 地址线
- (2) D0-D7 低字节数据，输入/输出
- (3) D8-D15 高字节数据，输入/输出
- (4) $\overline{CE}$ 片选，低电平有效
- (5) $\overline{OE}$ 读使能，低电平有效
- (6) $\overline{WE}$ 写使能，低电平有效
- (7) $\overline{LB}$, $\overline{UB}$ ，低字节，高字节选择线，低电平有效

44-Pin TSOP (Type II)

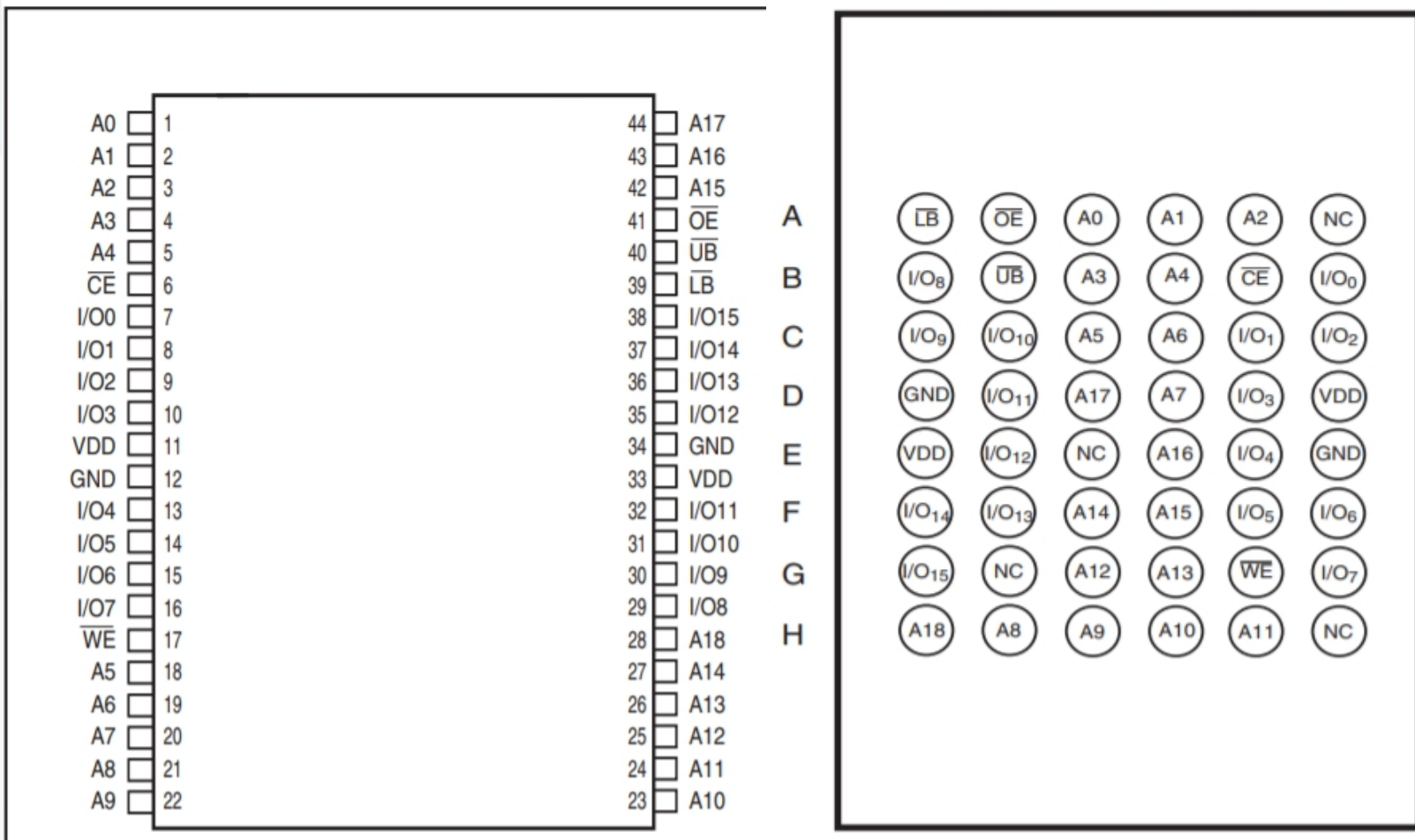


图 5-5 IS61WV51216BLL-10TI封装及管脚示意图

第五节 SRAM的基本知识及其应用

5) SRAM的功能框图

- a. 如图5-6，SRAM内部由地址译码，数据锁存，控制信号译码等部分组成，地址，数据和控制信号在状态机的控制下完成数据操作。本图仅仅是示意图，其实地址总线也是和控制信号及IO在时序是相互关联的。后续课程在读/写控制中会详细介绍。
- b. SRAM的地址译码，命令译码非常简单，因为是随机读取的结构，因此不需要像EPROM或FLASH存储器需要擦除和特殊的写操作命令，只要地址，读/写，片选，数据满足特定的时序关系即可。

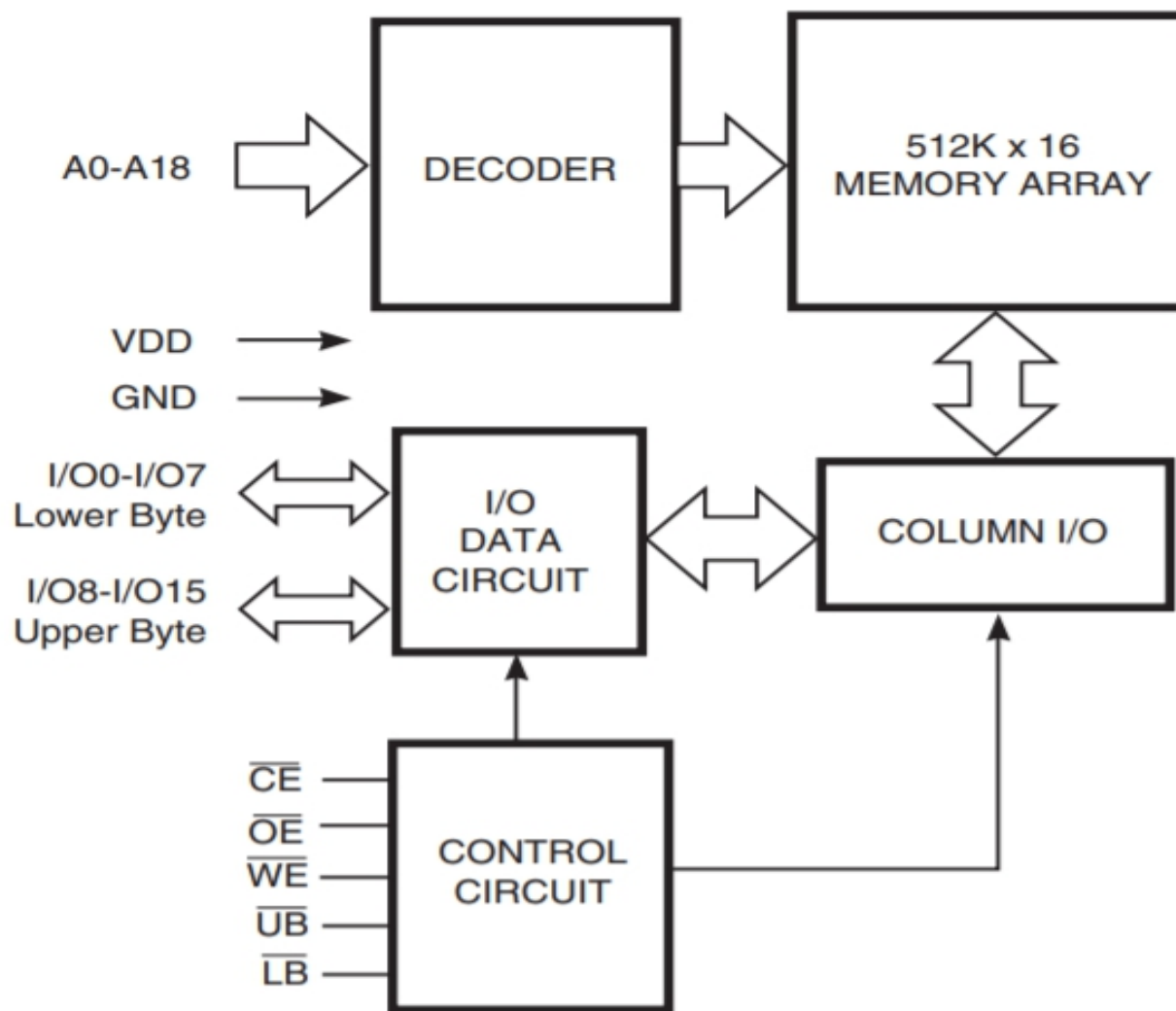


图 5-6 IS61WV51216BLL-10TI功能框图

第五节 SRAM的基本知识及其应用

6) SRAM的读时序

a. 读时序

- a) T_{RC} 地址线的维持时间
- b) $CE\#$ 略迟于地址线或同时
- c) $OE\#$ 滞后 $CE\#$ 一定时间
- d) 数据在 $OE\#$ 的上升沿读取
- e) T_{oha} 数据相对于地址线的保持时间
- f) T_{HOEZ} 数据相对于 $OE\#$ 由低到高后的保持时间
- g) T_{HZCE} 数据相对于 $CE\#$ 由低到高后的保持时间

b. 异步时钟同步化处理

在读取时，由于数据是由SRAM输出的，无法与内部时钟同步，因此是异步时钟，需要做同步化处理，后续章节会针对FPGA如何处理异步数据进行详细讲解。

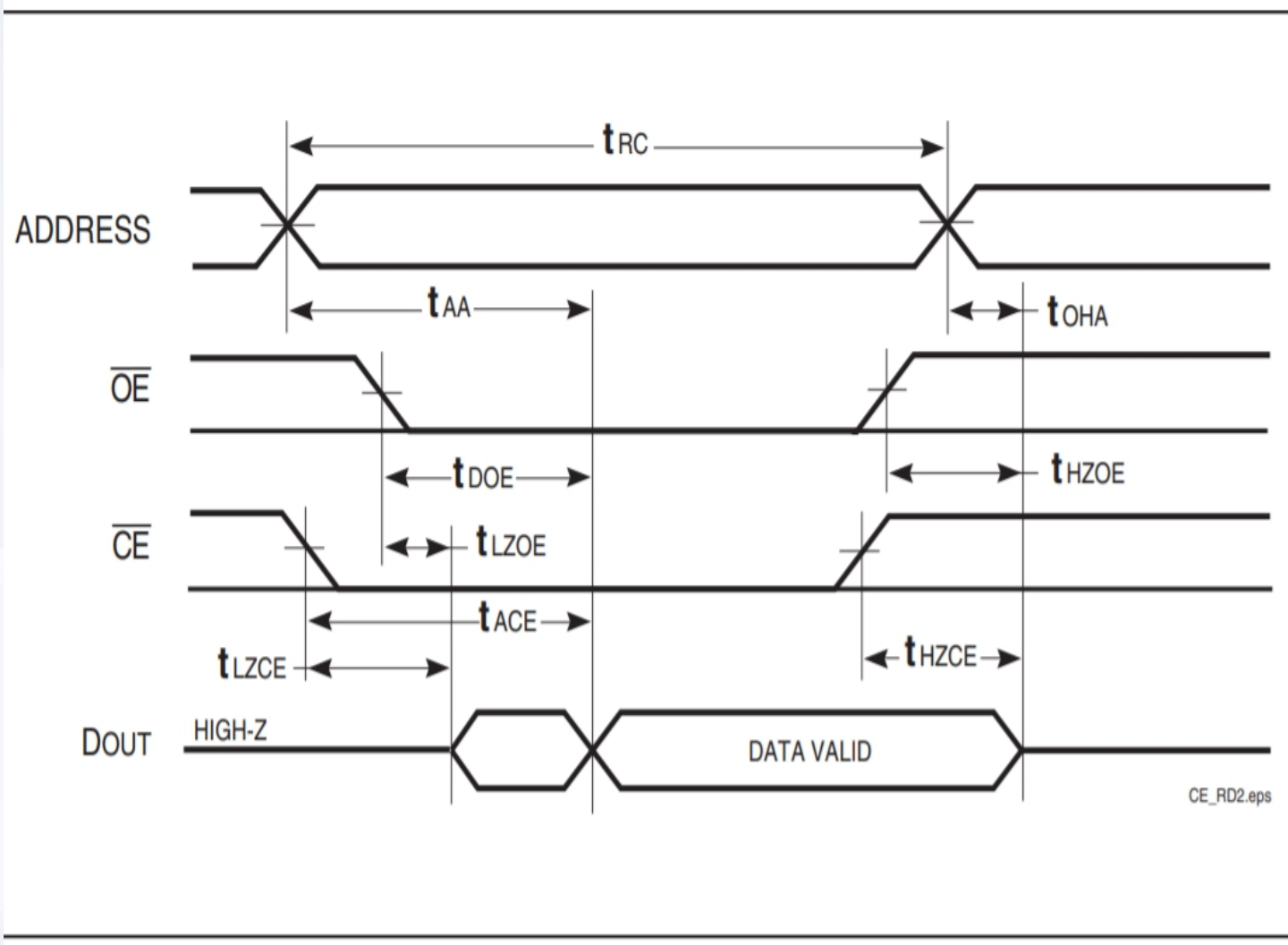


图 5-7 IS61WV51216BLL-10TI读时序

第五节 SRAM的基本知识及其应用

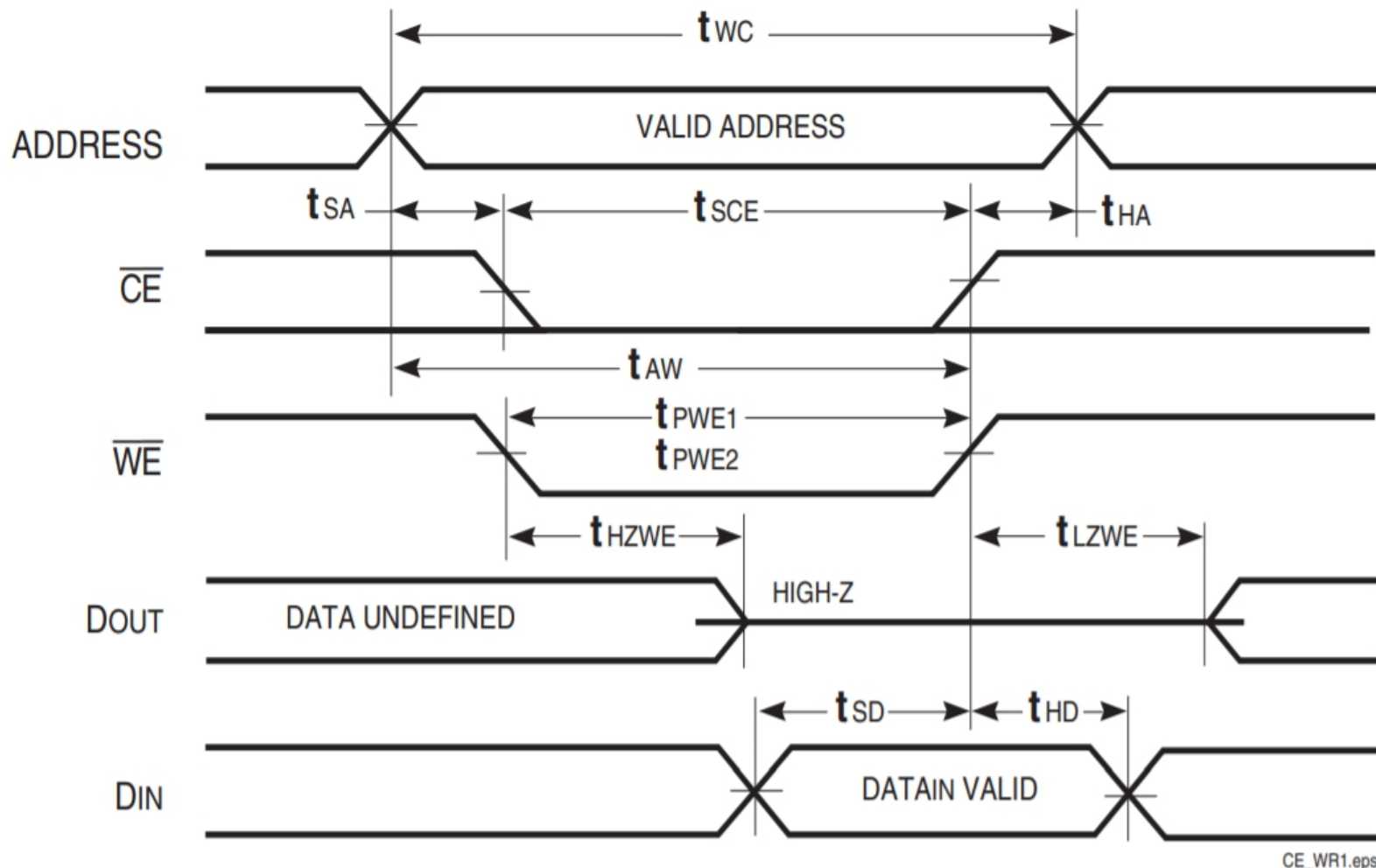
7) SRAM的写时序图

a. 写时序

- a) t_{SA} 地址线相对于CE#的建立时间
- b) CE#, WE#可以同时由高到低
- c) t_{SD} 数据建立时间
- d) t_{HD} 数据保持时间

b. 阅读数据手册，可以获得更详细的资料，图5-9列出了各个信号在写时序之间的关系。

- a. 同步化设计
- b. 利用时钟的上下边沿提高时钟频率。



CE_WR1.eps

图 5-8 IS61WV51216BLL-10TI写时序图

5) SRAM的功能框图

Symbol	Parameter	-8		-10		Unit
		Min.	Max.	Min.	Max.	
t _{WC}	Write Cycle Time	8	—	10	—	ns
t _{SCE}	$\overline{CE}$ to Write End	6.5	—	8	—	ns
t _{AW}	Address Setup Time to Write End	6.5	—	8	—	ns
t _{HA}	Address Hold from Write End	0	—	0	—	ns
t _{SA}	Address Setup Time	0	—	0	—	ns
t _{PWB}	$\overline{LB}$, $\overline{UB}$ Valid to End of Write	6.5	—	8	—	ns
t _{PWE1}	$\overline{WE}$ Pulse Width ($\overline{OE}$ = HIGH)	6.5	—	8	—	ns
t _{PWE2}	$\overline{WE}$ Pulse Width ($\overline{OE}$ = LOW)	8.0	—	10	—	ns
t _{SD}	Data Setup to Write End	5	—	6	—	ns
t _{HD}	Data Hold from Write End	0	—	0	—	ns
t _{HZWE} ⁽²⁾	$\overline{WE}$ LOW to High-Z Output	—	3.5	—	5	ns
t _{LZWE} ⁽²⁾	$\overline{WE}$ HIGH to Low-Z Output	2	—	2	—	ns

图 5-9 IS61WV51216BLL-10TI写时序的时间参数表

Symbol	Parameter	-20 ns		Unit
		Min.	Max.	
t _{WC}	Write Cycle Time	20	—	ns
t _{SCE}	$\overline{CE}$ to Write End	12	—	ns
t _{AW}	Address Setup Time to Write End	12	—	ns
t _{HA}	Address Hold from Write End	0	—	ns
t _{SA}	Address Setup Time	0	—	ns
t _{PWB}	$\overline{LB}$, $\overline{UB}$ Valid to End of Write	12	—	ns
t _{PWE1}	$\overline{WE}$ Pulse Width ($\overline{OE}$ = HIGH)	12	—	ns
t _{PWE2}	$\overline{WE}$ Pulse Width ($\overline{OE}$ = LOW)	17	—	ns
t _{SD}	Data Setup to Write End	9	—	ns
t _{HD}	Data Hold from Write End	0	—	ns
t _{HZWE} ⁽³⁾	$\overline{WE}$ LOW to High-Z Output	—	9	ns
t _{LZWE} ⁽³⁾	$\overline{WE}$ HIGH to Low-Z Output	3	—	ns

图 5-10 IS61WV51216BLL-20TI写时序的时间参数表

未来的你，一定会感谢今天拼命努力的自己！

THANK

YOU!



官方网站: <http://www.icfusion.cn/>



淘宝店铺: <https://shop296232497.taobao.com/>

