

《存储器的基本知识与应用》

出品: Fraser Innovation Inc.

主讲: 庄乾起

实验平台: FII系列FPGA开发板

淘宝店铺: <https://shop296232497.taobao.com/>

知识库网站: <http://www.icfedu.cn/>



6

DRAM的基本知识

7

DDR3 SDRAM的基本知识及其应用

第六节 DRAM的基本知识

5.1 DRAM 原理

动态存储器 DRAM (Dynamic RAM) 的存储单元是由一个 MOS 管加一个容量极小的电容组成。如图 6-2 所示。当行选线 X 为高时, MOS 管 T 导通, 位线 B 的电平由电容 C 上的电压决定。此时电容 C 上的电压如果为高, 则在位线 B 上就会有高电平输出; 电容 C 上的电压为低, 则在位线 B 上就会有低电平输出。这种结构相对于 SRAM 采用 6 管结构 (图 6-1), 有着非常明显的优势, (1) 使用的元器件少, 同等面积集成度高 (2) 同等容量, 占用的面积小, 功耗低。

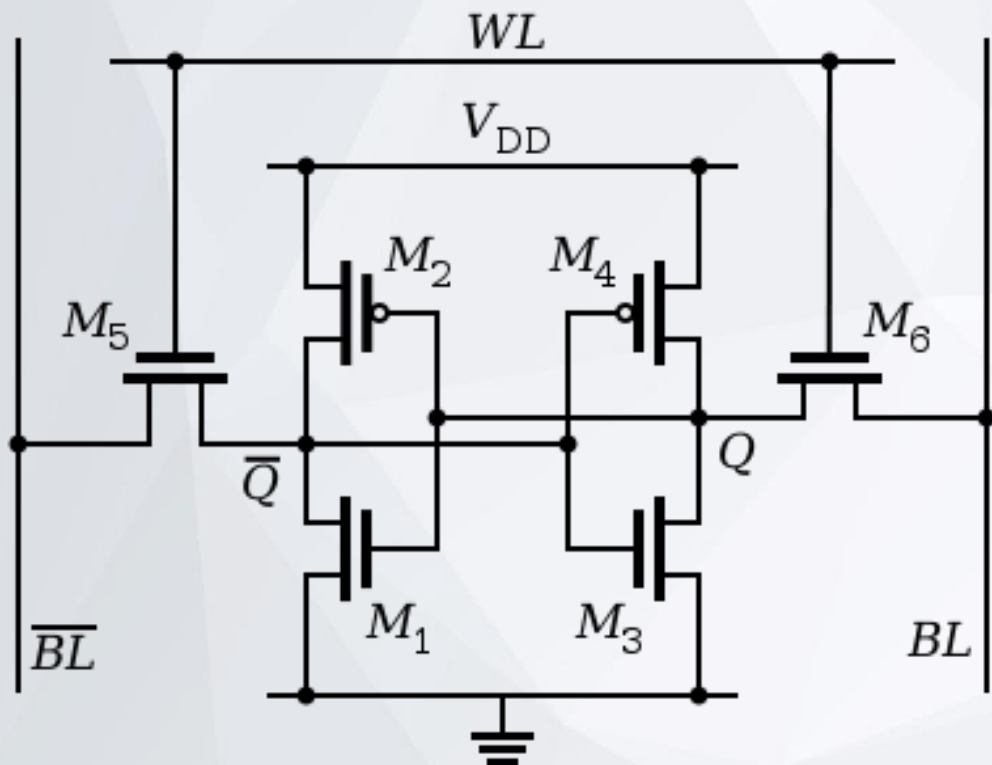


图 6-1 SRAM 的单元存储单元示意图

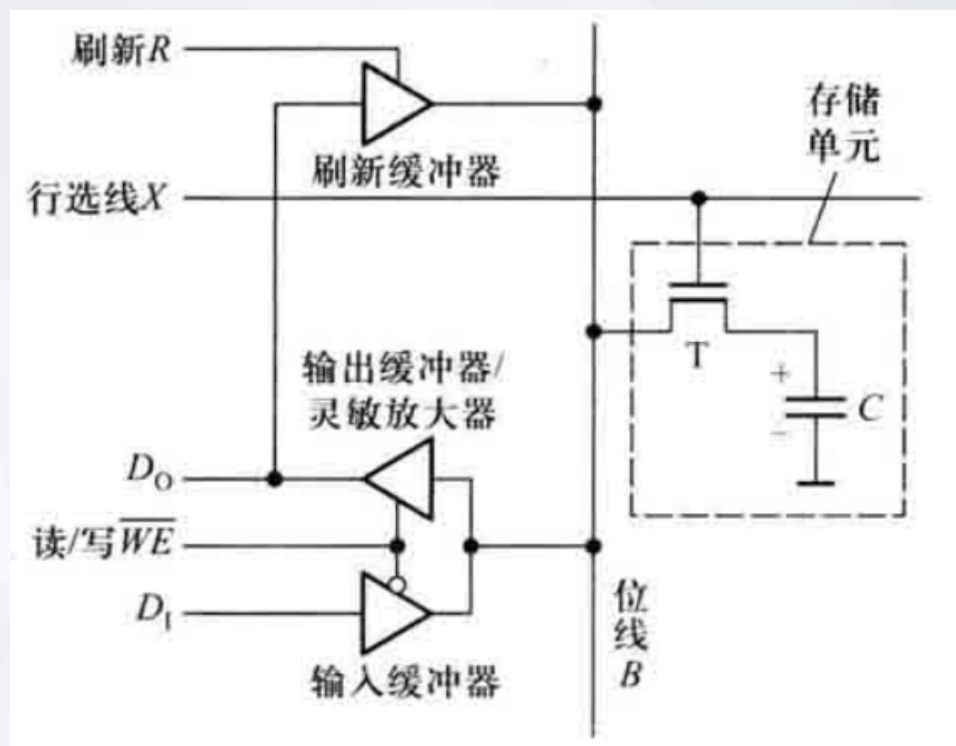


图 6-2 DRAM 的单元存储单元示意图

- 1) 读：行选线X选通该单元后，电容C的电平就会和位线B的电平一致，如果读/写控制线为读，此时将会单元内存储的逻辑（0/1）输出到Do上。由于采用灵敏放大输出缓冲器，因次对电容C上的电荷吸收很小，因此可以保持多次使用的过程。
- 2) 写：同样当该单元选通后，如果读/写逻辑是写操作WE#为低，此时DI的写好就会改写存储单元，对电容C进行充放电。

由于电容的容量很小，相对于SRAM充放电的电流很小，因此动态功耗小很多。

思考题：什么是静态功耗？什么是动态功耗？

2. DRAM的刷新:

由于C的容量很小，在读以及非选通时电容C都存在放电回路，因此存储在C上的电荷会逐渐放掉（C上高电平逐渐降低），或C在低电平时会逐渐充电。失去原来**高低电平的冗余**。因此DRAM在设计时就采用了刷新回路。刷新回路采用定时的方式在该单元为空闲时刷新。刷新采用读+回写的方式。目前DRAM的刷新方式有自动和手动两种。后续课程结合实例讲解。

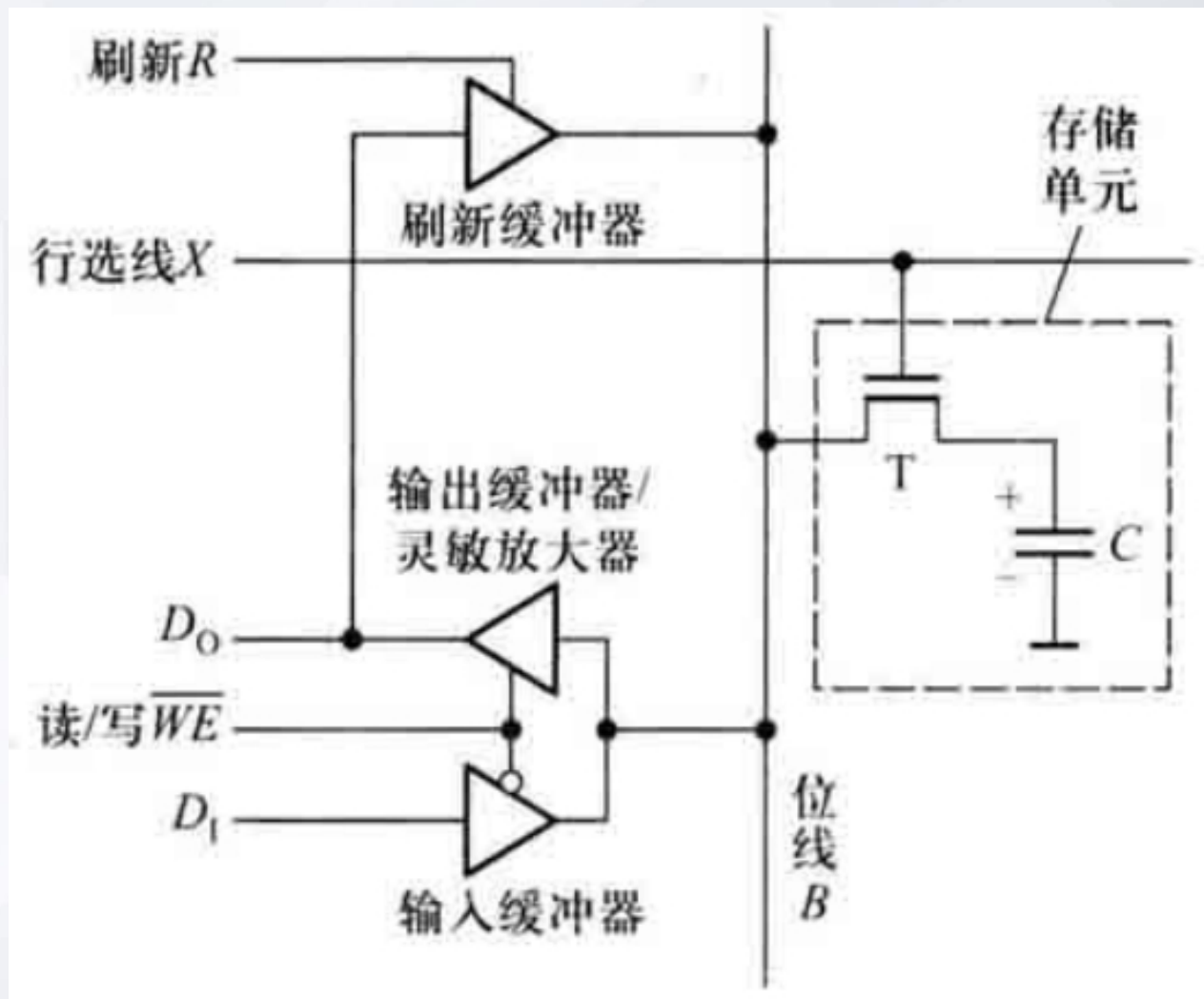


图 6-3 DRAM的单元存储单元示意图

第六节 DRAM的基本知识

2. DRAM的内部结构及读写控制

图6-4展示了DRAM内部结构功能框图，行列地址译码与NAND FLASH 类似。

但是DRAM又分离出RAS# 与CAS#。

RAS#: Row Address Strobe
行地址锁存。

CAS#: Column Address Strobe
列地址锁存。

正是有了这两个信号，才使得SDRAM或DDR SDRAM的地址线复用，大幅度减少了地址线引脚。

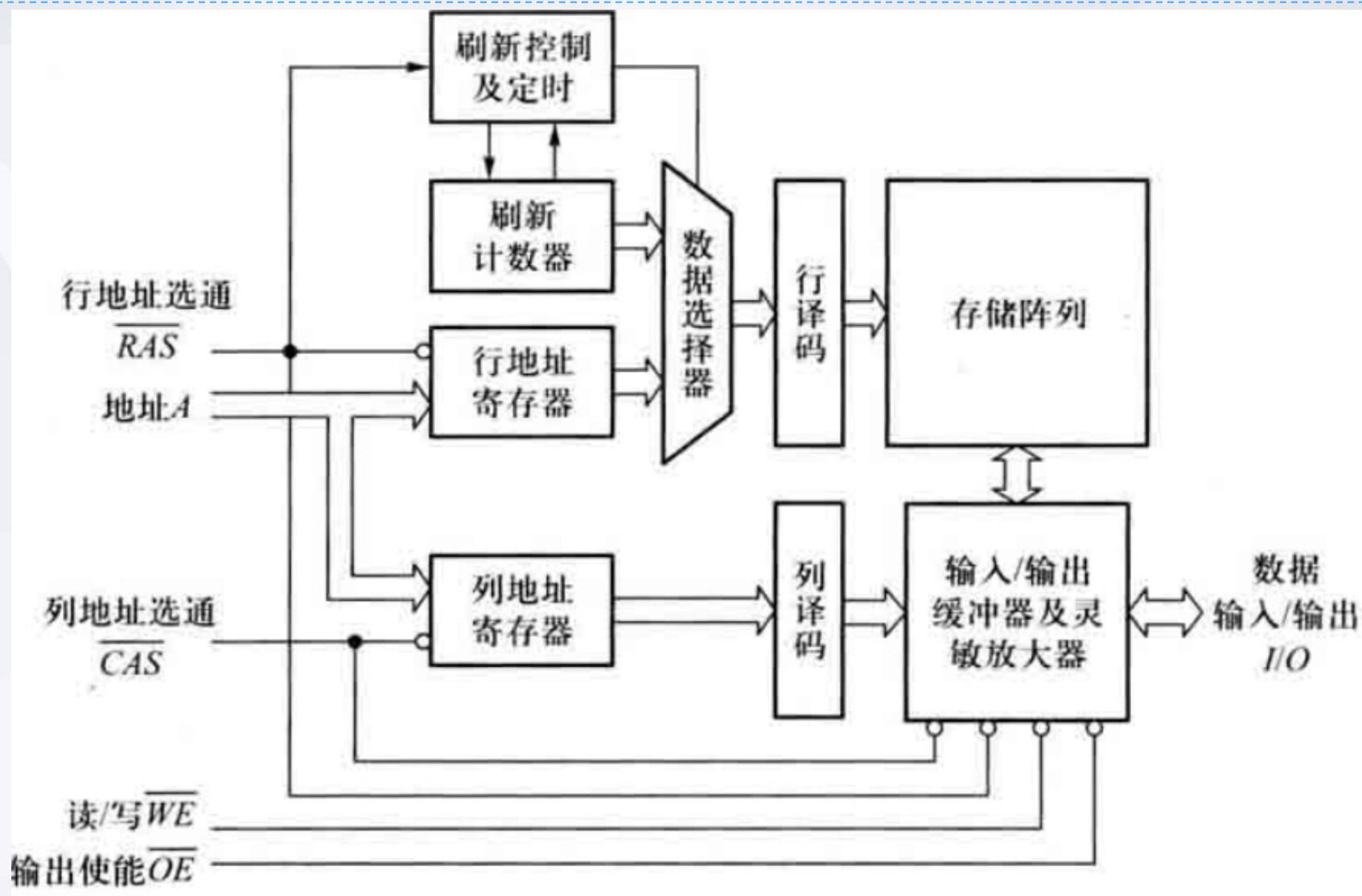


图 6-4 DRAM的存储器的基本结构

2. DRAM 字节/字操作时序

DRAM 的操作时序如图6-5，分为读和写周期两个不同的操作时序。

1) 读时序:

- a. 行地址选通:
RAS#为低电平
- b. 列地址选通:
CAS#为低电平
- c. 读数据:
OE#为低电平
- d. RAS#,CAS#,OE# 需满足建立和保持时间

2) 写时序:

- a. 行地址选通
- b. 列地址选通
- c. 写数据: WE#为低电平
- d. RAS#,CAS#,WE# 需满足建立和保持时间

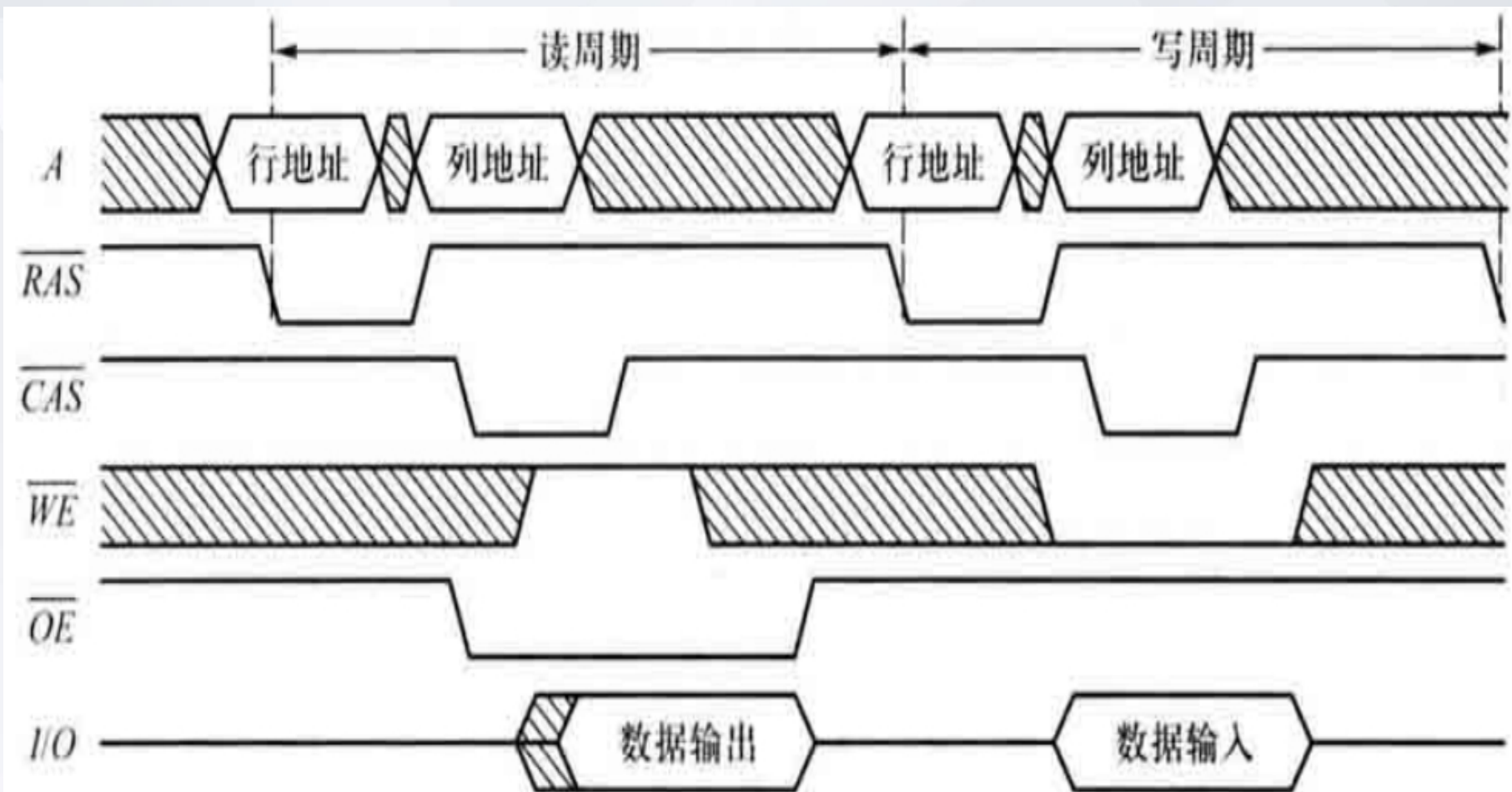


图 6-5 DRAM的存储器操作时序

第六节 DRAM的基本知识

3. DRAM 的页操作时序 (行操作)
如图6-6 (b)

- 1) RAS# 行数据选通线RAS#在整个页面数据读写期间有效, 即每次操作一行数据
- 2) CAS#在每个数据的读写提供列选通信号。
- 3) 在多个有规律的数据读取与写操作时, 较好的极高读写效率

4. DRAM的刷新, 如图6-6c,

- 1) 给定行地址及行选通信号, 进行行刷新操作, 刷新时间间隔一般为15.6us。
- 2) 这里只是示意图, 真正的操作还要先写刷新命令, 在状态机的控制下进行, 后续会结合DDR3 SDRAM 进项介绍。

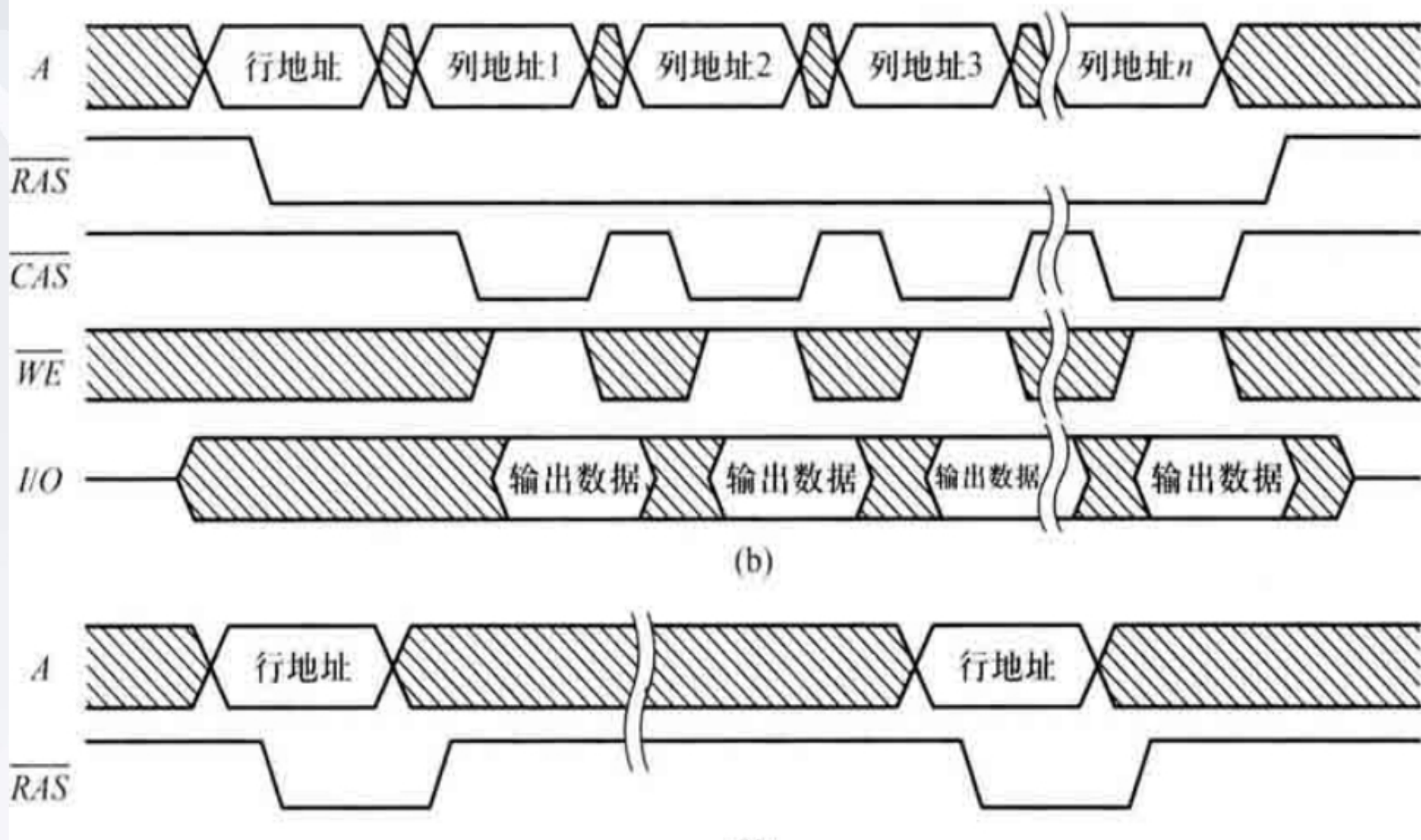


图 6-6 DRAM的存储器操作时序

第六节 DRAM的基本知识

5. 同步DRAM SDRAM (Synchronous DRAM) SRAM s--> static

SDRAM与早期的DRAM最大的不同就是采用了同步时钟，从图6-5可以看出，DRAM在外部接口上没有采用时钟同步信号，因此在读写上都要进行异步时钟到同步时钟的转换，读写效率很低。一个简单的例子，SRAM有RD#，WE#信号，在主机与SRAM硬件连接后主机生成的控制信号都是在主机时钟的控制下进行的，但是SRAM在接收的地址线和数据线时依赖CE#和WE#信号的选通，此时如果在内部译码将会产生延迟逻辑，具体的延迟随着芯片的不同而不同，因此在使用时都会给出比较大的时序冗余。如

IS61WV51216BLL-10TI，虽然读写速度可以达到100M，但在真正应用时，很难做到主机端100M时钟恰好满足要求。如图5-8，虽然从时序上看可以做到ADDR，CE#，WE#，RD#等信号可以同时建立和撤销，但在考虑到布线延时（包括FPGA的布线延时和PCB板的布线延时）等因素，往往要降低主频使用。特别是在目前要求1GHz以上的读写要求时，显得无能为力。

特别是前面介绍过的FLASH芯片有复杂的读写命令，往往数据，控制信号，数据等都需要锁存，然后再转换成内部时钟，此时就会出现不同时钟域的转换。因此目前的内存都是同步DRAM。

同步DRAM比非同步的DRAM多一套时钟线CLK，在考虑到非读写期间降低功耗的要求，会添加CLKE#信号，即时钟使能信号。

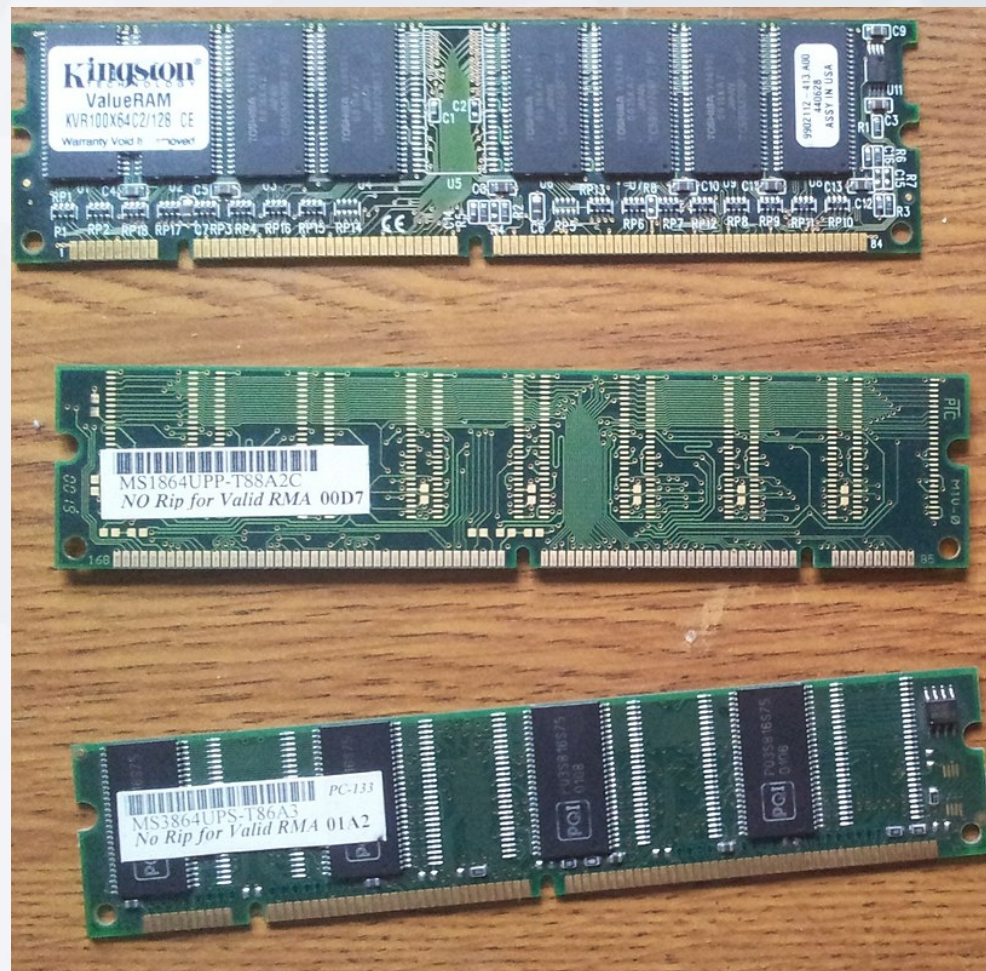


图 6-6 SDRAM内存

5. SDRAM (Synchronous DRAM)的分类

目前比较流行的有： DDR double data rate

- 1) **SDRAM**:是比较早期的产品，主频大约在100M左右，与SRAM相比容量大，读写速度快，但读写操作复杂。同时芯片内部采用DRAM结构，因此需要刷新。SDRAM的电压是3.3V，IO口的电平标准一般LVCOMS33（3.3V）。目前在嵌入式领域仍在使用，但性价比不高。
- 2) **DDR-SDRAM**: DDR-SDRAM与SDRAM相比突出特点是，在读取与写入时钟都才有双边沿操作，即在上升沿和下降沿都可以进行读写操作。DDR-SDRAM的时钟主频一般在150Mhz左右，但由于采用双边沿操作，实际的读写速度要比SDRAM快的多。DDR-SDRAM的供电电压为2.5V，IO的电平标准为LVCMOS25（2.5V）。目前基本上处于淘汰状态。
- 3) **DDR2-SDRAM**: DDR2-SDRAM与DDR-SDRAM相比在DDR2内部采用双读取，因此DDR2的时钟一般比DDR-SDRAM的接口时钟高很多。比较流行的333Mhz, 400Mhz，533Mhz等。接口电压为1.8V。目前由于与DDR3相比性价比低很多，因此新产品设计时较少采用。
- 4) **DDR3-SDRAM**: DDR3-SDRAM与DDR2-SDRAM相比在芯片内部读写又提高一倍，因此主频也比DDR2有大幅提升，电压标准典型的为1.5V,低电压系列为1.35V，如DDR3L SDRAM 供电电压和接口电压都为1.35V。目前仍然是计算机内存的主流产品。特别是在嵌入式系统中，由于多数主流控制器件还不支持DDR4,因此多数嵌入式系统仍以DDR3 为主。
- 5) **DDR4-SDRAM**: 为目前最高性能的SDRAM，主频最高可以达到2.4G，目前在性价比上与DDR3比有优势，因此在不久的将来会逐渐替代DDR3。

本章课程会结合DDR3-SDRAM MT41J128M16HA-125实例讲解原理，硬件设计，FPGA接口设计及应用实例。

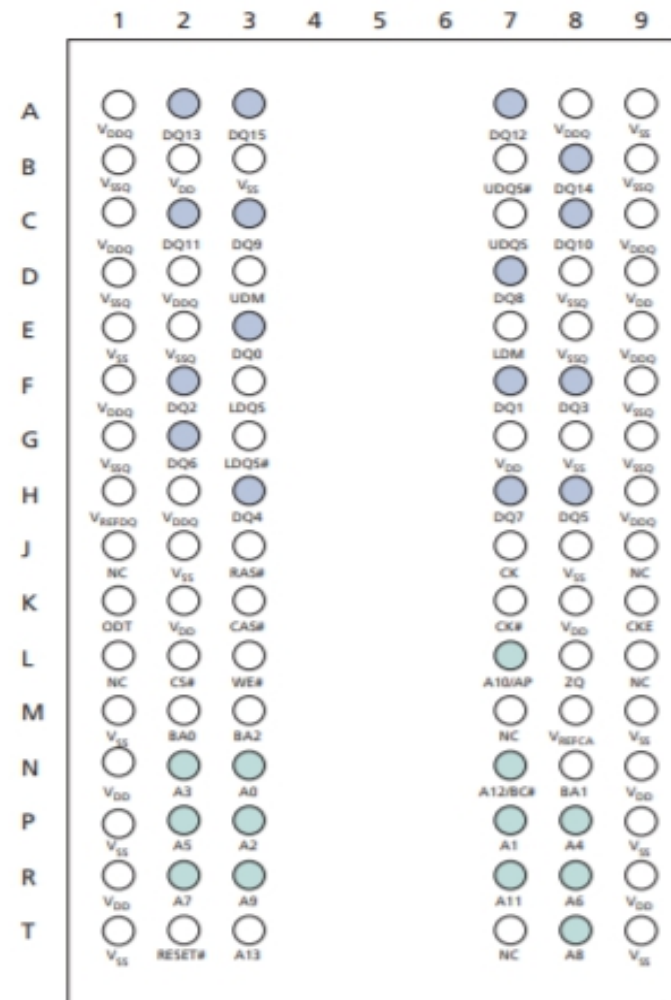


第七节 DDR3 SDRAM的基本知识及应用

1. MT41J128M16HA-125 实例详解

a. 特性:

- i. MT41J --Micron DDR3的标志
- ii. 128M16--表示128M X 16的存储单元, 输入、输出为16位
- iii. HA--封装形式指96-ball 9mm x 14mm FBGA
- iv. -125--表示读写速度为1.25ns的级别, 时钟最高可以达到800MHz
- v. 电压: 供电电压与IO电压一致, 都为1.5V-0.075V 到1.5V+0.075V
- vi. 0.75V为中心的IO推拉结构
- vii. 差分时钟线
- viii. 8n-bit数据预取结构(内部)
- ix. ODT: 为数据, 数据选通, 数据屏蔽提供芯片内部固定或动态可选的终端电阻(ODT, on die termination)。
- x. 可编程的CAS# 读数据潜伏(latency) CL
- xi. 附加的CAS# 数据潜伏(latency) AL (additive latency)
- xii. 可编程的写CAS# 的latency, CWL (CAS Write Latency)
- xiii. 固定的8突发长度(burst length)或砍半(chop)的4突发长度(BC4)
- xiv. 96 PINs FBGA封装(16 接口)(fine BGA)
- xv. 78 PINs FBGA封装(4 位, 8 位接口)



Note: 1. Ball descriptions listed in Table 4 (page 20).

图 7-1 MT41J128M16HA-125 封装

第七节 DDR3 SDRAM的基本知识及应用

1. MT41J128M16HA-125 实例详解

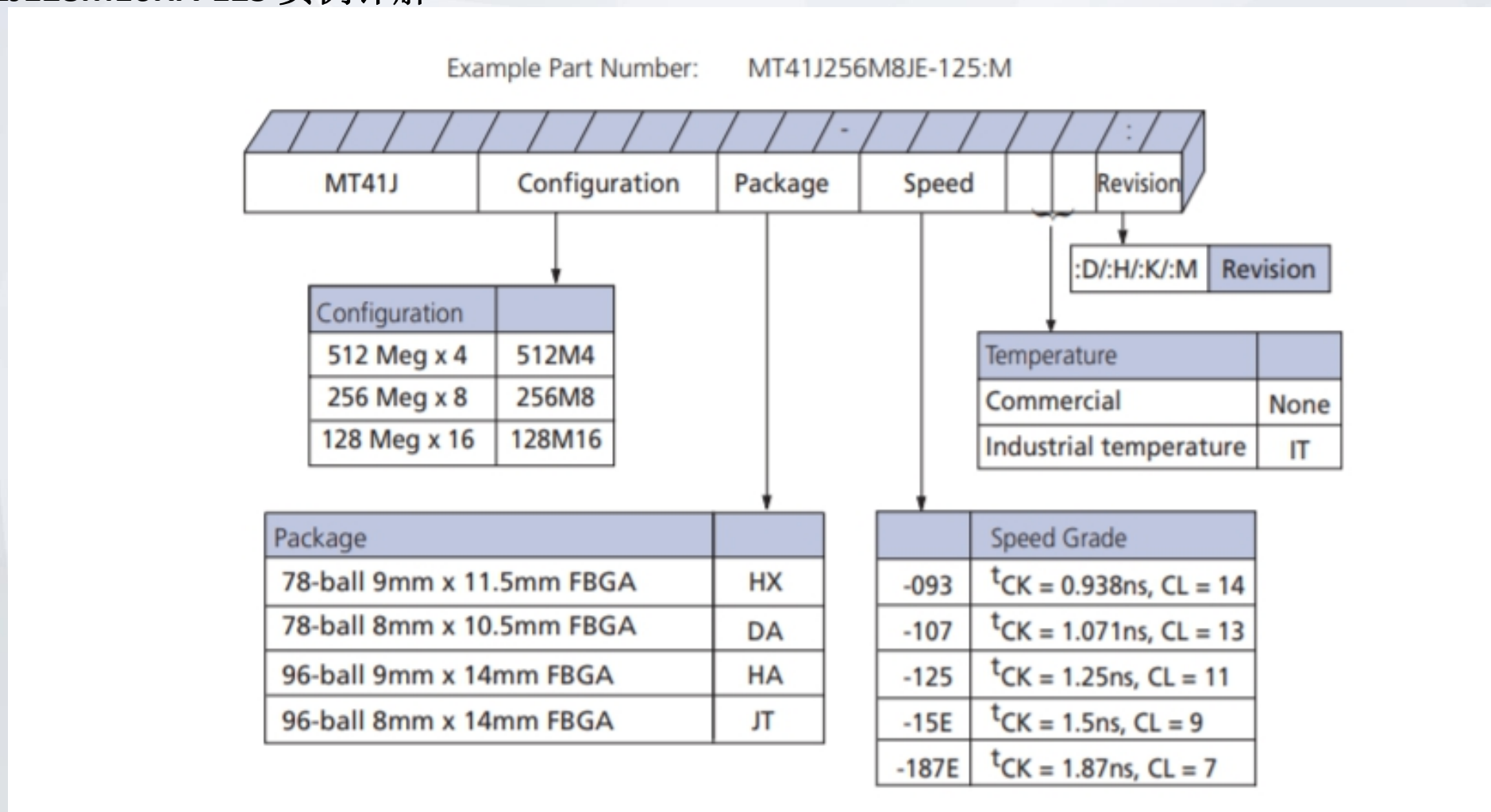


图 7-2 Micron DDR3标注

1. MT41J128M16HA-125 实例详解

寻址方式：不同接口（4，8，16位数据接口），地址寻址的差别主要在行、列寻址。

4位：行地址A[14:0],列地址A[11, 9:0]

8位：行地址A[14:0],列地址A[9:0]

16位：行地址A[13:0],列地址A[9:0]

Bank：8 BANK BA[2:0]

页面：分别为1KB，1KB，2KB

Parameter	512 Meg x 4	256 Meg x 8	128 Meg x 16
Configuration	64 Meg x 4 x 8 banks	32 Meg x 8 x 8 banks	16 Meg x 16 x 8 banks
Refresh count	8K	8K	8K
Row addressing	32K (A[14:0])	32K (A[14:0])	16K (A[13:0])
Bank addressing	8 (BA[2:0])	8 (BA[2:0])	8 (BA[2:0])
Column addressing	2K (A[11, 9:0])	1K (A[9:0])	1K (A[9:0])
Page size	1KB	1KB	2KB

图 7-3 Micron 不同DDR3的寻址方式

第七节 DDR3 SDRAM的基本知识及应用

2. MT41J128M16HA-125 内部结构

(1) MT41J128M16HA-125的内部组织结构，由行与列组织一个BANK，

(2) 由BA[2:0] 选择对应的BANK。

(3) BANK选定后在行内操作，一行的容量为页 (Page)

(4)内部为8倍数据预取或写入。

(4) 数据交换：如图6-9，从内部单元以128位 (8n) 的方式读写到FIFO，每次读取需要4个CK。在从FIFO以16位 (1n) 的方式取出到数据IO，由于采用双边沿读写，因此每个数据交换只需要半个时钟周期。由于该部分结构都是由DDR内部实现，因此用户在使用时，往往并不关心多倍读取行为。

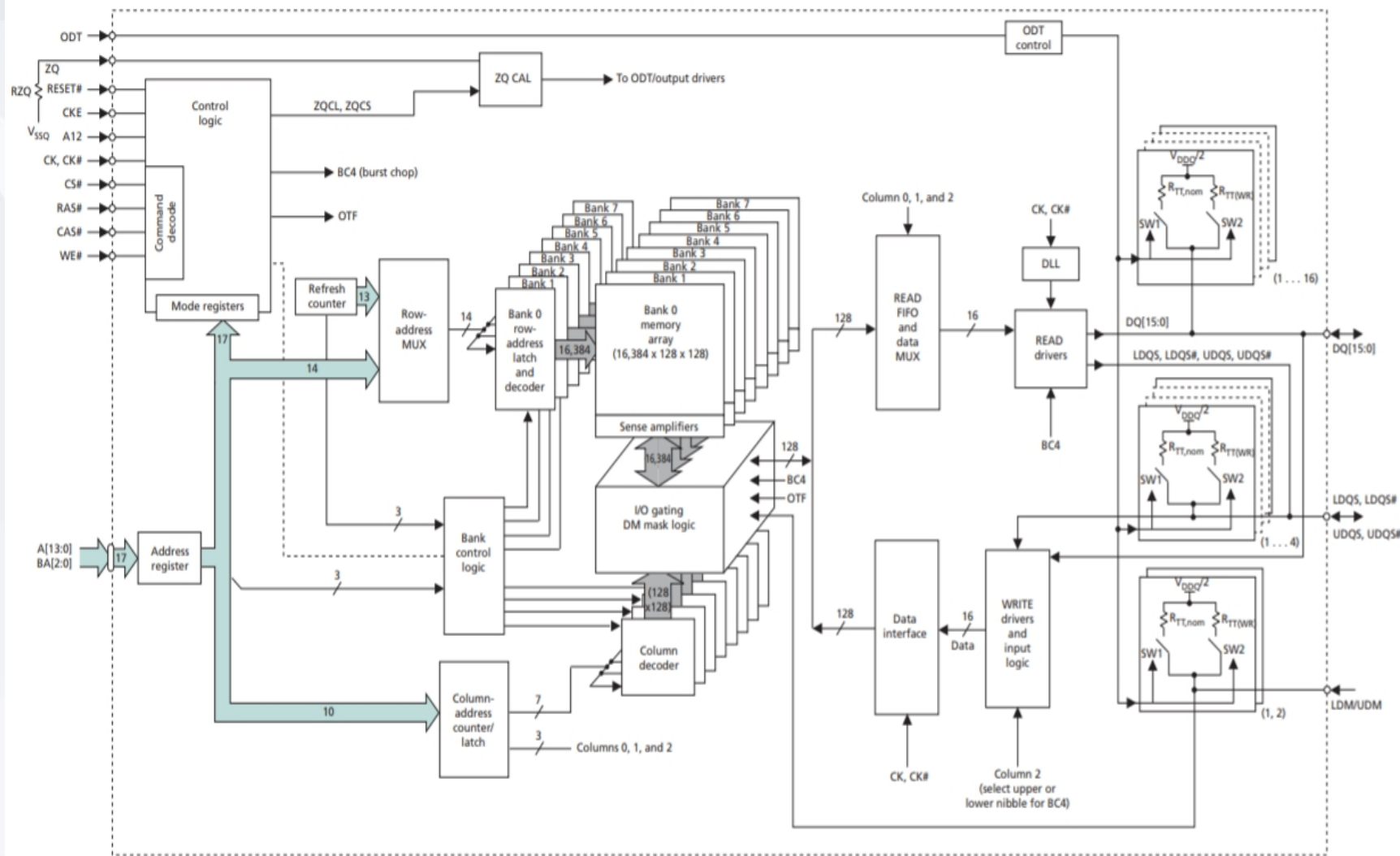


图 7-4 MT41J128M16HA-125内部结构示意图

3. MT41J128M16HA-125 实例详解--管脚描述

名称 (symbol)	输入/输出类型	description	描述
A[14:13], A12/BC#, A11, A10/AP, A[9:0]	Input	Address inputs: Provide the row address for ACTIVATE commands, and the column address and auto precharge bit (A10) for READ/WRITE commands, to select one location out of the memory array in the respective bank. A10 sampled during a PRECHARGE command determines whether the PRECHARGE applies to one bank (A10 LOW, bank selected by BA[2:0]) or all banks (A10 HIGH). The address inputs also provide the op-code during a LOAD MODE command. Address inputs are referenced to VREFCA. A12/BC#: When enabled in the mode register (MR), A12 is sampled during READ and WRITE commands to determine whether burst chop (on-the-fly) will be performed (HIGH = BL8 or no burst chop, LOW = BC4).	地址输入：在 激活状态 的行列地址输入。 A10 提供 BANK 预充电还是对整个芯片预充电。 A10 为低，对某一个 BANK 进行预充电（由BA[2:0]选择对应的 BANK ）， A10 为高，对整个芯片预充电。 A12/BC# ，在 读写命令 时 BC# 为高表示BL8,每次可以突发8个数据，BL4(burst length)为burst chop,每次只突发4笔数据。在写寄存器命令阶段将会写入MR寄存器（命令： MRS ），后续会对MR寄存器详细介绍
BA[2:0]	Input	BA[2:0] define the bank to which an ACTIVATE, READ,WRITE, or PRECHARGE command is being applied. BA[2:0] define which mode register (MR0, MR1, MR2, or MR3) is loaded during the LOAD MODE command. BA[2:0] are referenced to VREFCA.	BANK 地址输入，应用在ACTIVATE, READ,WRITE, 或PRECHARGE命令中，在LOAD模式中决定mode register (MR0, MR1, MR2, or MR3)的寻址

3. MT41J128M16HA-125 实例详解--管脚描述

名称 (symbol)	输入/输出 类型	description	描述
CK, CK#	Input	Clock: CK and CK# are differential clock inputs. All control and address input signals are sampled on the crossing of the positive edge of CK and the negative edge of CK#. Output data strobe (DQS, DQS#) is referenced to the crossings of CK and CK#.	时钟输入：差分时钟线，所有的控制信号（CKE#，地址线，BANK，RAS#，CAS#，RESET，CS#，WE#，ODT等参考CK的上升沿，DQS，DQS#也参考CK上升沿。
CKE#	Input	Clock enable: CKE enables (registered HIGH) and disables (registered LOW) internal circuitry and clocks on the DRAM 。 Taking CKE LOW provides PRECHARGE POWER-DOWN and SELF REFRESH operations (all banks idle),or danactive power-down (row active in any bank). CKE is synchronous for power-down entry and exit and for self refresh entry. CKE is asynchronous for self refresh exit. Input buffers (excluding CK, CK#, CKE, RESET#, and ODT) are disabled during POWER-DOWN. Input buffers (excluding CKE and RESET#) are disabled during SELF REFRESH. CKE is referenced to VREFCA.	时钟的使能信号：使能DDR内部电路和时钟。当CKE为低时退出预充电状态，并进入自刷新状态。CKE在进入低功耗和自刷新模式时是与CK同步的。

表 7-1 MT41J128M16HA-125管脚描述-2



3. MT41J128M16HA-125 实例详解--管脚描述

名称 (symbol)	输入/输出 类型	description	描述
CS#	Input	Chip select: CS# enables (registered LOW) and disables (registered HIGH) the command decoder. All commands are masked when CS# is registered HIGH. CS# provides for external rank selection on systems with multiple ranks. CS# is considered part of the command code. CS# is referenced to VREFCA.	片选输入端：CS#为高时（锁存的CS）屏蔽命令译码。
LDM	Input	Input data mask: LDM is a lower-byte, input mask signal for write data. Lower-byte input data is masked when LDM is sampled HIGH along with the input data during a write access. Although the LDM ball is input-only, the LDM loading is designed to match that of the DQ and DQS balls. LDM is referenced to VREFDQ.	低字节写数据屏蔽，与DQ，DQS在时序上一致
UDM	Input	Input data mask: UDM is an upper-byte, input mask signal for write data. Upper-byte input data is masked when UDM is sampled HIGH along with that input data during a WRITE access. Although the UDM ball is input-only, the UDM loading is designed to match that of the DQ and DQS balls. UDM is referenced to VREFDQ.	高字节写数据屏蔽，与DQ，DQS在时序上一致

表 7-1 MT41J128M16HA-125管脚描述-3



3. MT41J128M16HA-125 实例详解--管脚描述

名称 (symbol)	输入/输出类型	description	描述
ODT	Input	On-die termination: ODT enables (registered HIGH) and disables (registered LOW) termination resistance internal to the DDR3 SDRAM. When enabled in normal operation, ODT is only applied to each of the following balls: DQ[15:0], LDQS, LDQS#, UDQS, UDQS#, LDM, and UDM. The ODT input is ignored if disabled via the LOAD MODE command. ODT is referenced to VREFCA.	片上终端电阻设定控制信号，当在正常操作下使能该信号，ODT对DQ[15:0],LDQS#,LDQS,UDQS#,UDQS,LDM,UDM 有效。当在载入模式命令（Load Mode)非使能ODT时，该信号被忽略。
RAS#, CAS#, WE#	Input	Command inputs: RAS#, CAS#, and WE# (along with CS#) define the command being entered and are referenced to VREFCA.	命令输入。与其他控制信号组合形成命令 RAS#:行地址选通线（row address strobe), CAS#:列地址选通（column address strobe), WE#:数据写使能
RESET#	Input	Reset: RESET# is an active LOW CMOS input referenced to VSS. The RESET# input receiver is a CMOS input defined as a rail-to-rail signal with DC HIGH $\geq 0.8 \times VDD$ and DC LOW $\leq 0.2 \times VDDQ$. RESET# assertion and de-assertion are asynchronous.	复位信号，与CK同步 电压范围： 高电平：DC HIGH $\geq 0.8 \times VDD$ 低电平：DC LOW $\leq 0.2 \times VDDQ$

表 7-1 MT41J128M16HA-125管脚描述-4



3. MT41J128M16HA-125 实例详解--管脚描述

名称 (symbol)	输入/输出 类型	description	描述
DQ[7:0]	I/O	Data input/output: Lower byte of bidirectional data bus for the x16 configuration.DQ[7:0] are referenced to VREFDQ.	低八位数据
DQ[15:8]	I/O	Data input/output: Upper byte of bidirectional data bus for the x16 configuration.DQ[15:8] are referenced to VREFDQ.	高八位数据
LDQS, LDQS#	I/O	Lower byte data strobe: Output with read data. Edge-aligned with read data. Input with write data. Center-aligned to write data.	低八位数据选通，读状态输出，写状态输入，与数据中心对齐。
UDQS, UDQS#	I/O	Upper byte data strobe: Output with read data. Edge-aligned with read data. Input with write data. DQS is center-aligned to write data.	高八位数据选通，读状态输出，写状态输入，与数据中心对齐。
VDD	Supply	Power supply: 1.5V $\pm$ 0.075V	芯片供电端：电压范围1.5V $\pm$ 0.075V
VDDQ	Supply	DQ power supply: 1.5V $\pm$ 0.075V. Isolated on the device for improved noise immunity	I/O的供电端：电压范围1.5V $\pm$ 0.075V。与芯片的供电端隔离，提供抗噪效果。

表 7-1 MT41J128M16HA-125管脚描述-5



3. MT41J128M16HA-125 实例详解--管脚描述

名称 (symbol)	输入/输出 类型	description	描述
VREFCA	Supply	Reference voltage for control, command, and address: VREFCA must be maintained at all times (including self refresh) for proper device operation	控制信号，地址，命令的参考电压，全局维护。1.5V 或1.35V的一半（0.75V）
VREFDQ	Supply	Reference voltage for data: VREFDQ must be maintained at all times (excluding selfrefresh) for proper device operation.	数据线的参考电压，全局维护1.5V/2或1.35V/2
VSS	Supply	Ground	芯片地
VSSQ	Supply	DQ ground: Isolated on the device for improved noise immunity.	I/O地，与芯片地隔离，提高抗噪效果。
ZQ	Reference	External reference ball for output drive calibration: This ball is tied to external 240Ω resistor RZQ, which is tied to VSSQ.	外部参考，用来校准对外部驱动。一般通过240欧姆电阻接到VSSQ上。

表 7-1 MT41J128M16HA-125管脚描述-6



4. MT41J128M16HA-125

实例详解--延迟

- (1) T_{RAS} **ACTIVATE-to-PRECHARGE command period** 激活状态到预充电的时间
- (2) T_{RP} **PRECHARGE command period** 预充电的时间
- (3) T_{RC} **ACTIVATE-to-ACTIVATE command period** 激活状态到激活状态的时间
- (4) T_{RCD} **RAS to CAS READ or WRITE delay, open a row and wait period of time for CAS#** , RAS#到·CAS#的延迟
- (5) T_{CCD} **CAS#-to-CAS# command delay** CAS#到CAS#的命令延迟时间
- (6) T_{RTP} **READ-to- PRECHARGE time** 读到预充电的时间
- (7) T_{WTR} **Delay from start of internal WRITE transaction to internal READ command** 写到读的转换时间
- (8) T_{wr} **Write recovery time, write end to precharge delay** , 写恢复时间, 写完成到预充电的延迟
- (9) T_{CWD} **delay between column write command to data valid on bus from mem-control (SDRAM =0,DDR,DDR2=1, DDR3 programmable)** 写命令到数据有效时间
- (10) T_{CAS} **time between col-rd (CAS) command and data valid on the data bus** , CAS#到数据有效时间
- (11) T_{RFC} **refresh cycles.** (refresh的总时间由温度决定)
- (12) T_{AL} **added latency to column accesses for posted CAS** CAS# 外加时间
- (13) T_{RTRS} **rank to rank switching time** (rank是多个DDR并联使用后的总RAM的结果)



4. MT41J128M16HA-125

实例详解--延迟实例 表7-2

Parameter	Symbol	DDR3-1866		DDR3-2133		Unit	Notes
		Min	Max	Min	Max		
ACTIVATE-to-ACTIVATE command period	t_{RC}	See Speed Bin Tables (page 66) for t_{RC}				ns	31, 43
ACTIVATE-to-ACTIVATE minimum command period	1KB page size	t_{RRD}				CK	31
	2KB page size	MIN = greater of 4CK or 5ns				CK	31
Four ACTIVATE windows	1KB page size	MIN = greater of 4CK or 6ns				CK	31
	2KB page size					CK	31
Write recovery time	t_{FAW}	27	-	25	-	ns	31
		35	-	35	-	ns	31
Write recovery time	t_{WR}	MIN = 15ns; MAX = n/a				ns	31, 32, 33
Delay from start of internal WRITE transaction to internal READ command	t_{WTR}	MIN = greater of 4CK or 7.5ns; MAX = n/a				CK	31, 34
READ-to-PRECHARGE time	t_{RTP}	MIN = greater of 4CK or 7.5ns; MAX = n/a				CK	31, 32
CAS#-to-CAS# command delay	t_{CCD}	MIN = 4CK; MAX = n/a				CK	
Auto precharge write recovery + precharge time	t_{DAL}	MIN = WR + t_{RP}/f_{CK} (AVG); MAX = n/a				CK	
MODE REGISTER SET command cycle time	t_{MRD}	MIN = 4CK; MAX = n/a				CK	
MODE REGISTER SET command update delay	t_{MOD}	MIN = greater of 12CK or 15ns; MAX = n/a				CK	
MULTIPURPOSE REGISTER READ burst end to mode register set for multipurpose register exit	t_{MPRR}	MIN = 1CK; MAX = n/a				CK	

第七节 DDR3 SDRAM的基本知识及应用

5. MT41J128M16HA-125

实例详解--状态机，如图7-5：

A. Reset Procedure（复位）

- (1) Power on
- (2) RESET

B. Initialization（初始化）

C. ZQ calibration(ZQ 校准)

D. (IDEL) 空闲状态

- (1) MRS, MPR写

MPR= Multipurpose register**MRS = Mode register set**

- (2) ZQ校准

ZQCL = ZQ LONG CALIBRATION**ZQCS = ZQ SHORT CALIBRATION**

- (3) self refresh

SRE = Self refresh entry**SRX = Self refresh exit**

- (4) Refreshing

- (5) Activating

- (6) Precharge power down

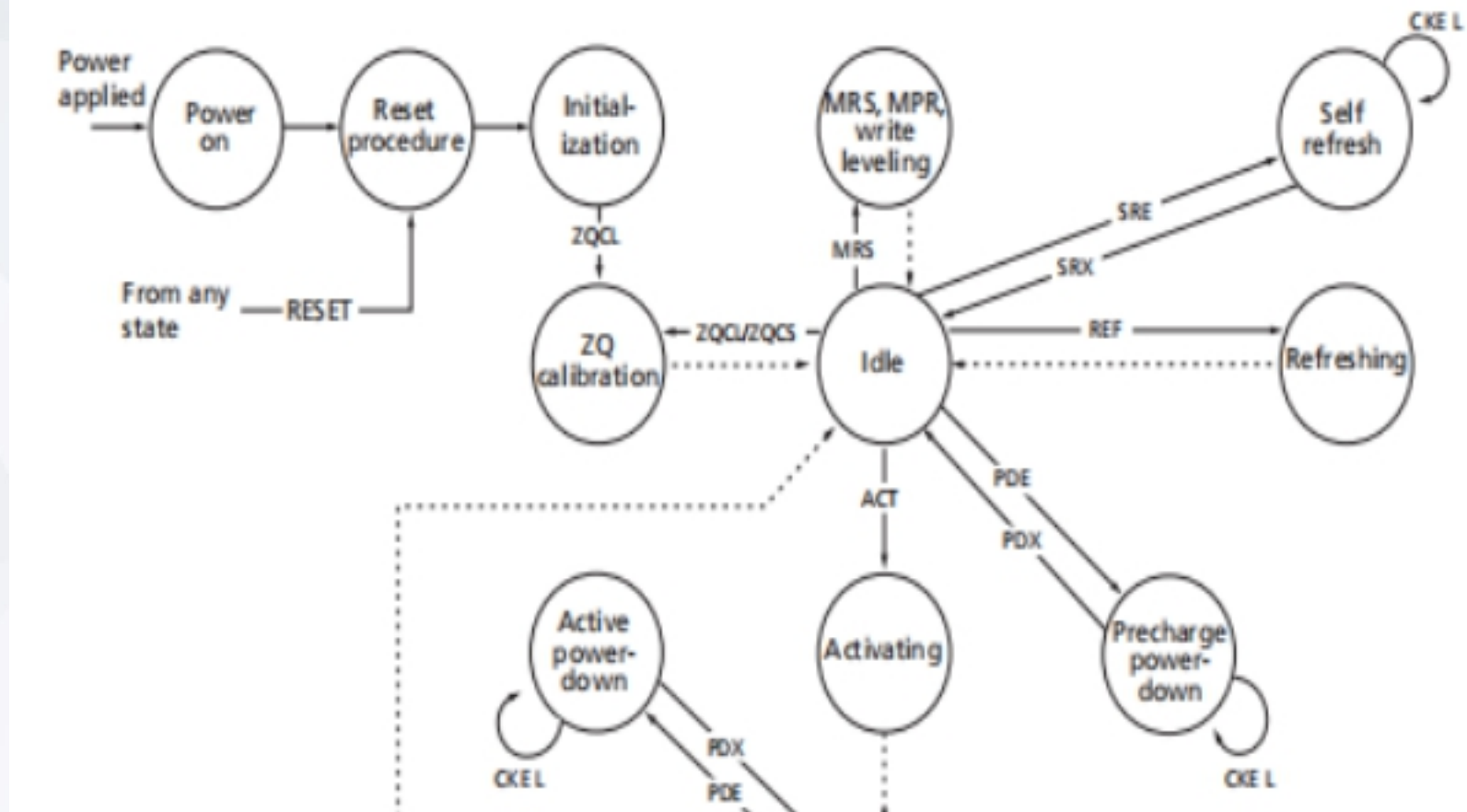


图 7-5 DDR3 命令状态机

这是第一个状态转换过程，其中转换及返回都由转换条件决定。

第七节 DDR3 SDRAM的基本知识及应用

5. MT41J128M16HA-125

实例详解--状态机，如图7-6：

E. Bank Active

(1) Active power down($\text{CKE} = 1'b0$)

PDE = Power-down entry

PDX = Power-down exit

(2) Write

(3) Read

(4) Write AP

(5) Read AP

READ AP = RDAP, RDAPS4, RDAPS8

(6) Precharging

F. Writing

(1) Bank active

(2) Write AP

(3) Read

(4) Read AP

(5) Precharging

G. Write AP

(1) Precharging

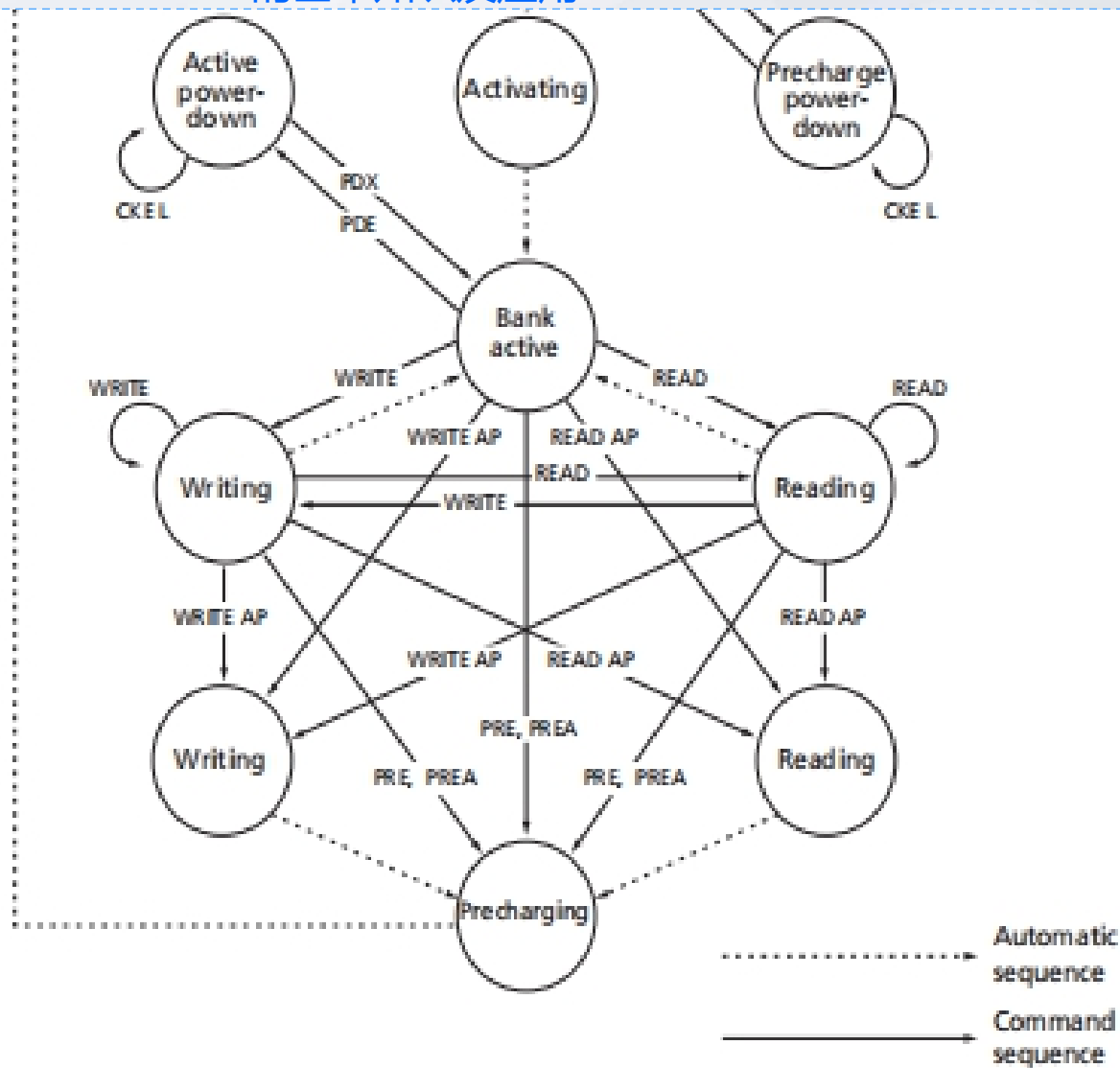


图 7-6 DDR3 命令状态机

第七节 DDR3 SDRAM的基本知识及应用

5. MT41J128M16HA-125

实例详解--状态机

如图7-7:

H. Reading

(1) Bank active

(2) Write

WRITE = WR, WRS4, WRS8

(3) Write AP

WRITE AP = WRAP, WRAPS4, WRAPS8

(4) Read AP

(Read with auto charge)

(5) Precharging

G. READ AP

(1) Precharging

H. Precharging

(1) IDLE

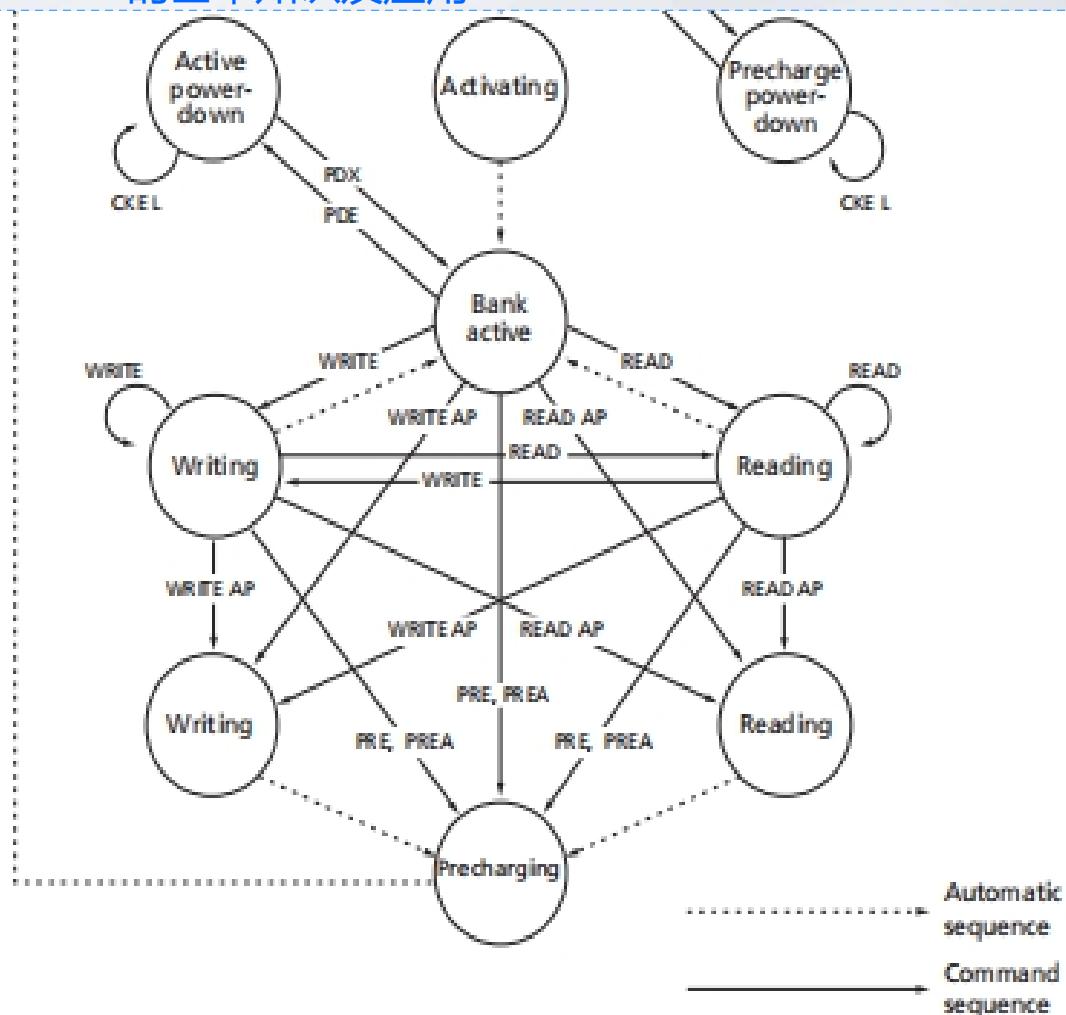
PRE = PRECHARGE**PREA = PRECHARGE ALL**

图 7-7 DDR3 命令状态机

第七节 DDR3 SDRAM的基本知识及应用

6. MT41J128M16HA-125

实例详解--状态转移表

(1) “V” means “H” or “L” (a defined logic level), and “X” means “Don’ t Care.”

V是确定的“H”或“L”状态，“X”表示未知
CA command adress 命令对应的地址

(2) Burst READs or WRITEs cannot be terminated or interrupted.突发读或写不能被停止或打断

(3) The power-down mode does not perform any REFRESH operations 省电模式最长时间 $9X T_{REFI}$

(4) The purpose of the NOP command is to prevent the DRAM from registering any unwanted commands. A NOP will not terminate an operation that is executing. NOP是空操作指令

(5) The DES and NOP commands perform similarly.
DES（器件处在非选择状态），与NOP的功能类似。

Function		Symbol	CKE		CS#	RAS#	CAS#	WE#	BA [2:0]	An	A12	A10	A[11, 9:0]	Notes
			Prev. Cycle	Next Cycle										
MODE REGISTER SET		MRS	H	H	L	L	L	L	BA	OP code				
REFRESH		REF	H	H	L	L	L	H	V	V	V	V	V	
Self refresh entry		SRE	H	L	L	L	L	H	V	V	V	V	V	6
Self refresh exit		SRX	L	H	H	V	V	V	M	V	V	V	V	6, 7
					L	H	H	H						
Single-bank PRECHARGE		PRE	H	H	L	L	H	L	BA	V	V	L	V	
PRECHARGE all banks		PREA	H	H	L	L	H	L	V		V	H	V	
Bank ACTIVATE		ACT	H	H	L	L	H	H	BA	Row address (RA)				
WRITE	BL8MRS, BC4MRS	WR	H	H	L	H	L	L	BA	RFU	V	L	CA	8
	BC4OTF	WRS4	H	H	L	H	L	L	BA	RFU	L	L	CA	8
	BL8OTF	WRS8	H	H	L	H	L	L	BA	RFU	H	L	CA	8
WRITE with auto precharge	BL8MRS, BC4MRS	WRAP	H	H	L	H	L	L	BA	RFU	V	H	CA	8
	BC4OTF	WRAP54	H	H	L	H	L	L	BA	RFU	L	H	CA	8
	BL8OTF	WRAP58	H	H	L	H	L	L	BA	RFU	H	H	CA	8
READ	BL8MRS, BC4MRS	RD	H	H	L	H	L	H	BA	RFU	V	L	CA	8
	BC4OTF	RDS4	H	H	L	H	L	H	BA	RFU	L	L	CA	8
	BL8OTF	RDS8	H	H	L	H	L	H	BA	RFU	H	L	CA	8
READ with auto precharge	BL8MRS, BC4MRS	RDAP	H	H	L	H	L	H	BA	RFU	V	H	CA	8
	BC4OTF	RDAP54	H	H	L	H	L	H	BA	RFU	L	H	CA	8
	BL8OTF	RDAP58	H	H	L	H	L	H	BA	RFU	H	H	CA	8
NO OPERATION		NOP	H	H	L	H	H	H	V	V	V	V	V	9
Device DESELECTED		DES	H	H	H	X	X	X	X	X	X	X	X	10
Power-down entry		PDE	H	L	L	H	H	H	V	V	V	V	V	6
					H	V	V	V						
Power-down exit		PDX	L	H	L	H	H	H	V	V	V	V	V	6, 11
					H	V	V	V						
ZQ CALIBRATION LONG		ZQCL	H	H	L	H	H	L	X	X	X	H	X	12
ZQ CALIBRATION SHORT		ZQCS	H	H	L	H	H	L	X	X	X	L	X	

表 7-3 DDR3 命令状态转移表



第七节 DDR3 SDRAM的基本知识及应用

7. MT41J128M16HA-125

实例详解--模式寄存器

(Mode register)

DDR3 总共有4个模式寄存器

MR0,MR1,MR2,MR3。该组寄存器用来控制可编程DDR3内部不同的运行模式。在空闲 (IDLE)通过MRS命令写入的。见状态转移表。

其中命令如下:

第一个时钟 (CLKE=1)

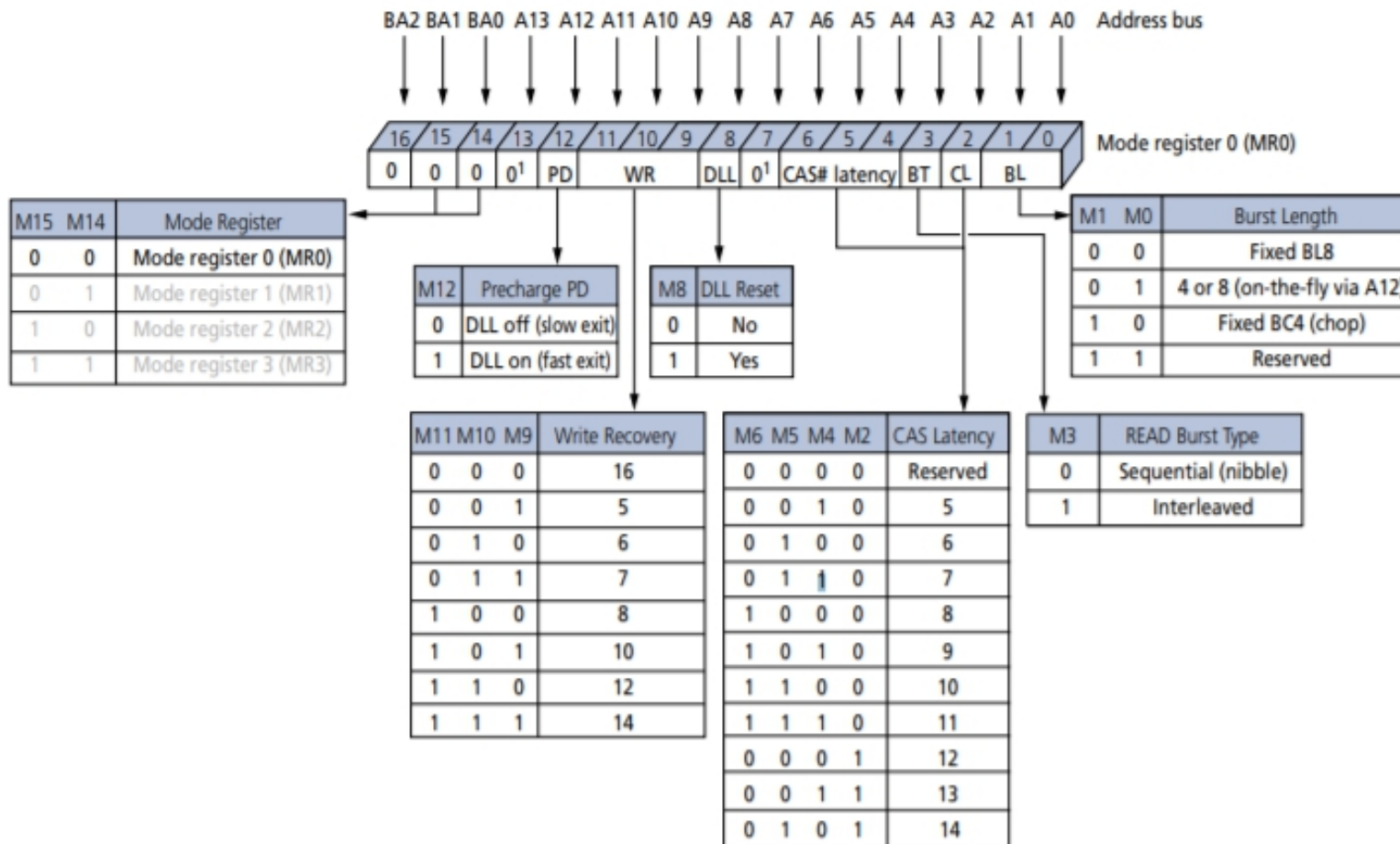
第二个时钟 (CLKE=1) CS#, RAS#, CAS#, WE#都为低 (0), 的条件下进入模式寄存器设置状态。设置参数由BA2-BA0, A13-A0组成。其中BA1-BA0表示4个寄存器的某一个, 如00, 选中MR0。

MR0:

M12(A12):precharge(PD)

0: DLL off (slow exit)

1: DLL on (fast exit)



Note: 1. MR0[18, 15:13, 7] are reserved for future use and must be programmed to 0.

图 7-8 DDR3 MR0寄存器

第七节 DDR3 SDRAM的基本知识及应用

7. MT41J128M16HA-125

实例详解--模式寄存器
(Mode register)

MR0:

WR(Write recovery)--M[11:9], 写恢复时间

M8: DLL Reset(0 no reset, 1 reset), 该位是自清零位, 即写入后会自动清零, DLL复位后CLKE为高电平, CK稳定至少等待512个DLL clk,才能恢复读写, 目的使内部时钟与IO时钟同步

M6:5: CAS# latency,根据不同的芯片由主控制器写入

BT: M3(A3) Read Burst type,0--sequential ,1--Interleaved

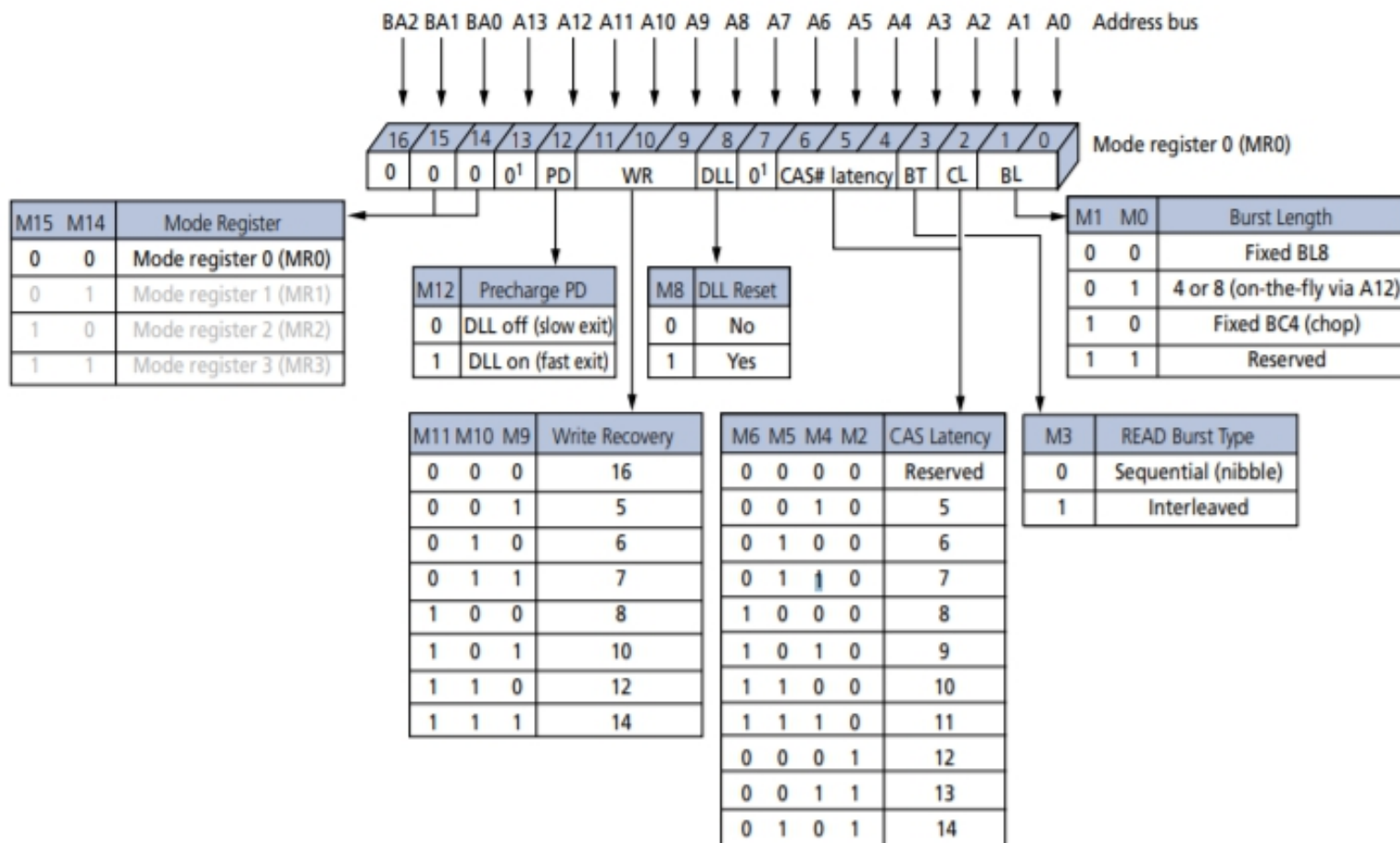
BL(burst length)突发长度:

00 : fixed BL8 , 固定突发长度8

01: 4或8 在读写模式期间由A12决定

10: 固定长度4

11: 保留



Note: 1. MR0[18, 15:13, 7] are reserved for future use and must be programmed to 0.

图 7-9 DDR3 MR0寄存器

第七节 DDR3 SDRAM的基本知识及应用

7. MT41J128M16HA-125

实例详解--模式寄存器
(Mode register)

BT: M3(A3) Read Burst type,0--
sequential,1--Interleaved

BL(burst length)突发长度:

00: fixed BL8, 固定突发长度8

01: 4或8 在读写模式期间由A12决定

10: 固定长度4

11: 没有定义

由表6-3 可以看出顺序 (sequential) 与
间隔 (interleave) 的突发读写, 在写操
作时数据顺序是一致的。只有读的数据
顺序不同。

Burst Length	READ/ WRITE	Starting Column Address (A[2, 1, 0])	Burst Type = Sequential (Decimal)	Burst Type = Interleaved (Decimal)	Notes
4 chop	READ	0 0 0	0, 1, 2, 3, Z, Z, Z, Z	0, 1, 2, 3, Z, Z, Z, Z	1, 2
		0 0 1	1, 2, 3, 0, Z, Z, Z, Z	1, 0, 3, 2, Z, Z, Z, Z	1, 2
		0 1 0	2, 3, 0, 1, Z, Z, Z, Z	2, 3, 0, 1, Z, Z, Z, Z	1, 2
		0 1 1	3, 0, 1, 2, Z, Z, Z, Z	3, 2, 1, 0, Z, Z, Z, Z	1, 2
		1 0 0	4, 5, 6, 7, Z, Z, Z, Z	4, 5, 6, 7, Z, Z, Z, Z	1, 2
		1 0 1	5, 6, 7, 4, Z, Z, Z, Z	5, 4, 7, 6, Z, Z, Z, Z	1, 2
		1 1 0	6, 7, 4, 5, Z, Z, Z, Z	6, 7, 4, 5, Z, Z, Z, Z	1, 2
		1 1 1	7, 4, 5, 6, Z, Z, Z, Z	7, 6, 5, 4, Z, Z, Z, Z	1, 2
	WRITE	0 V V	0, 1, 2, 3, X, X, X, X	0, 1, 2, 3, X, X, X, X	1, 3, 4
		1 V V	4, 5, 6, 7, X, X, X, X	4, 5, 6, 7, X, X, X, X	1, 3, 4
8	READ	0 0 0	0, 1, 2, 3, 4, 5, 6, 7	0, 1, 2, 3, 4, 5, 6, 7	1
		0 0 1	1, 2, 3, 0, 5, 6, 7, 4	1, 0, 3, 2, 5, 4, 7, 6	1
		0 1 0	2, 3, 0, 1, 6, 7, 4, 5	2, 3, 0, 1, 6, 7, 4, 5	1
		0 1 1	3, 0, 1, 2, 7, 4, 5, 6	3, 2, 1, 0, 7, 6, 5, 4	1
		1 0 0	4, 5, 6, 7, 0, 1, 2, 3	4, 5, 6, 7, 0, 1, 2, 3	1
		1 0 1	5, 6, 7, 4, 1, 2, 3, 0	5, 4, 7, 6, 1, 0, 3, 2	1
		1 1 0	6, 7, 4, 5, 2, 3, 0, 1	6, 7, 4, 5, 2, 3, 0, 1	1
		1 1 1	7, 4, 5, 6, 3, 0, 1, 2	7, 6, 5, 4, 3, 2, 1, 0	1
	WRITE	V V V	0, 1, 2, 3, 4, 5, 6, 7	0, 1, 2, 3, 4, 5, 6, 7	1, 3

表 7-4 DDR3 突发 (Burst) 类型

第七节 DDR3 SDRAM的基本知识及应用

7. MT41J128M16HA-125

实例详解--模式寄存器

MR1:

M12: Q off

0: 使能, DQ, DQS, DQS#都高阻状态, 用于测量Idd

1: DQ,DQS,DQS# 正常输出

M11: 只有8位数据接口才有, 在DQS上提供RTT

R_{TT} (M9,6,2):选择终端匹配电阻

M12, M7=1, 1 读写都有效

MOD2, M7= 0, 1 只有写才有效

WL (M7): 在on-the-fly状态校准DQS与CK,DQ 等关系

AL (M4-3): Additive latency

ODS (M5,M4): 数据输出强度

DLL (M0): DLL使能与否

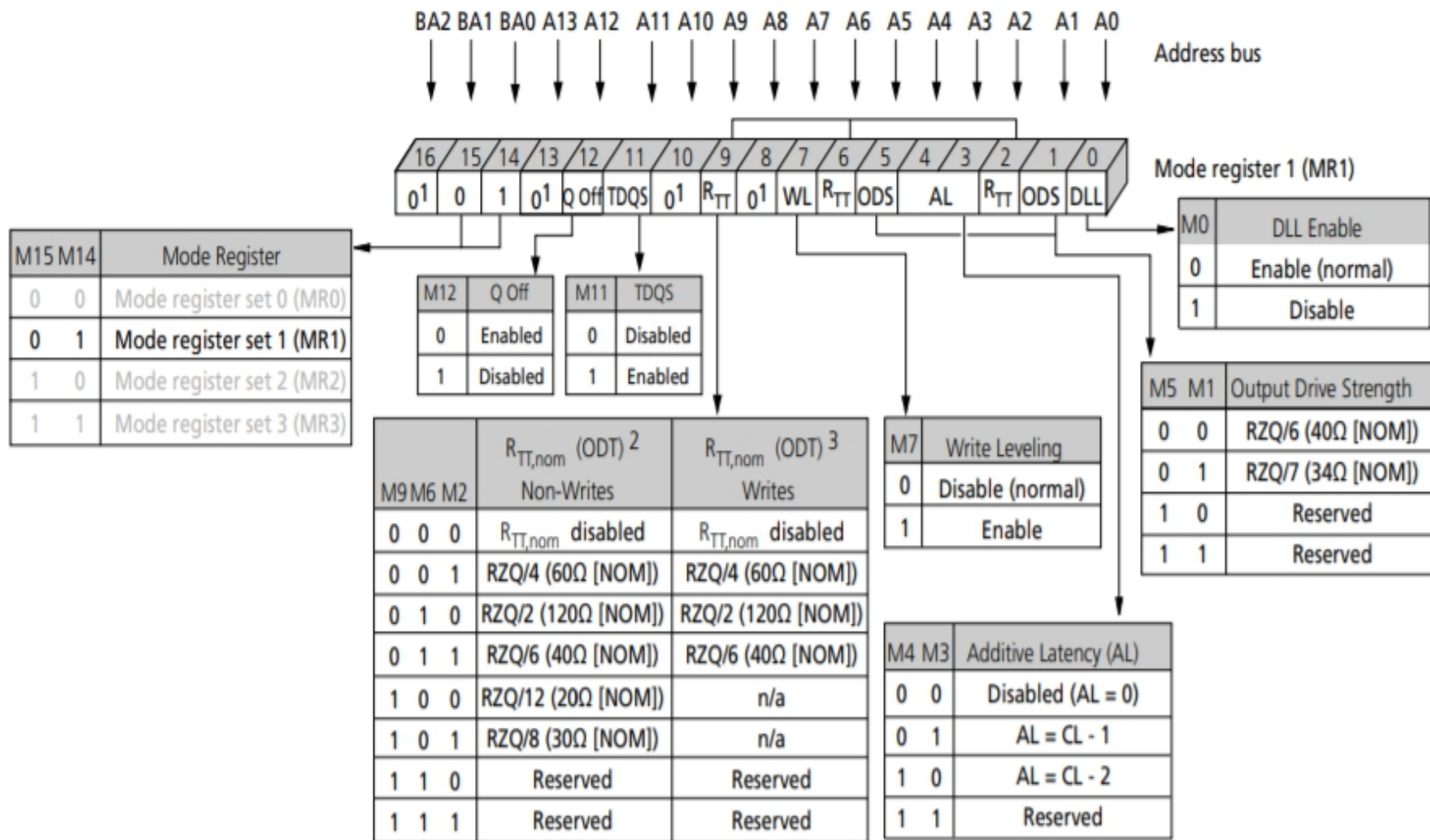


图 7-10 DDR3 MR1寄存器

第七节 DDR3 SDRAM的基本知识及应用

7. MT41J128M16HA-125

实例详解--模式寄存器

MR2

 $R_{TT(WR)}$: M[10:9]

Dynamic ODT write 终端

匹配电阻

SRT: M[7] self refresh temperature

自刷新温度选择, 一般每秒刷新

8192次/S, Extended 刷新时间减

半

ASR: M[6] 自动自刷新设置

0 手动

1 自动

CWL: M[5:3] CAS Write latency ,

CAS 写延迟

思考题: CL / C W L 有何异同?

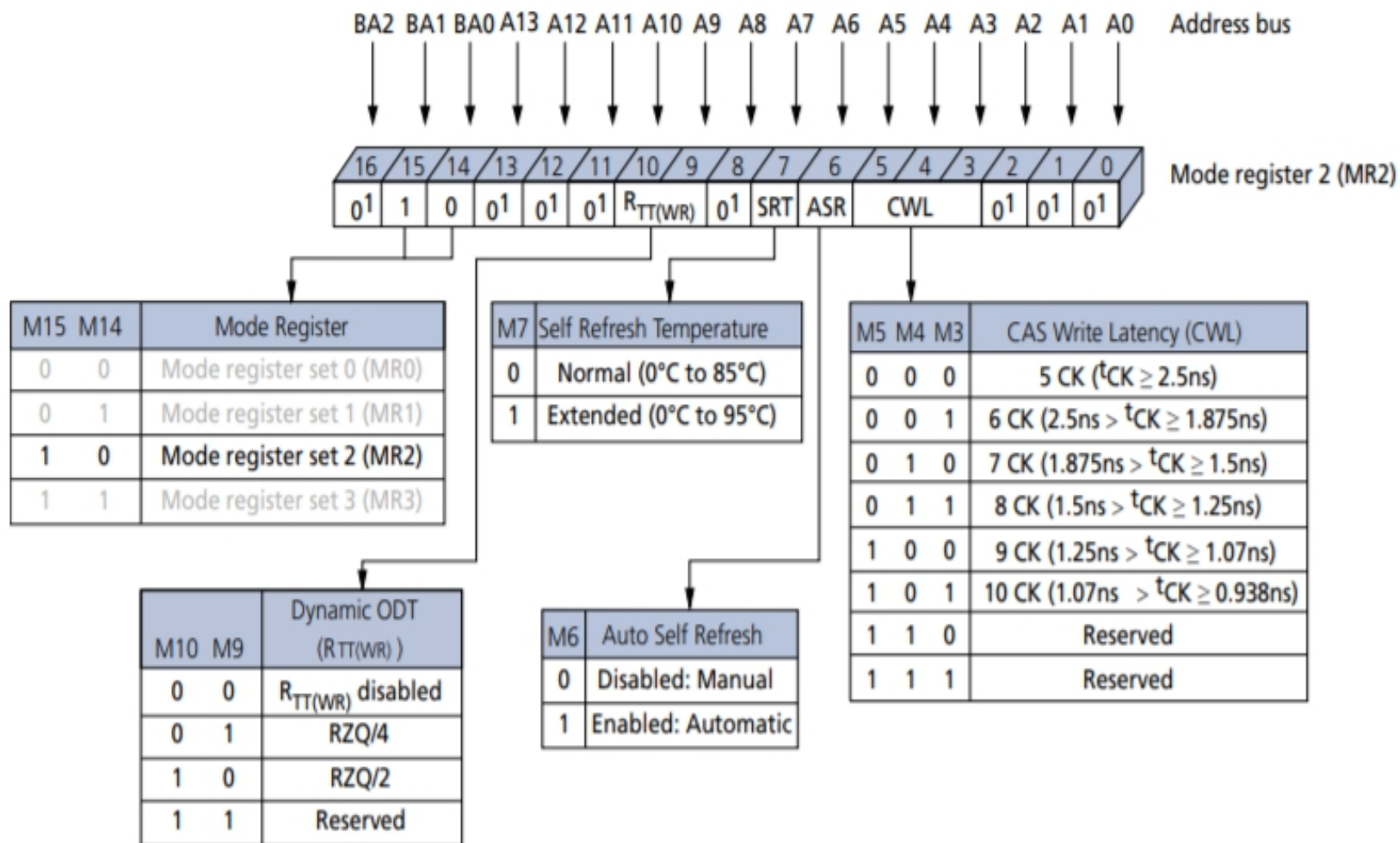


图 7-11 DDR3 MR2寄存器

第七节 DDR3 SDRAM的基本知识及应用

8. MT41J128M16HA-125

实例详解--读时序

图7-12 显示了从激活状态到数据突发的过程

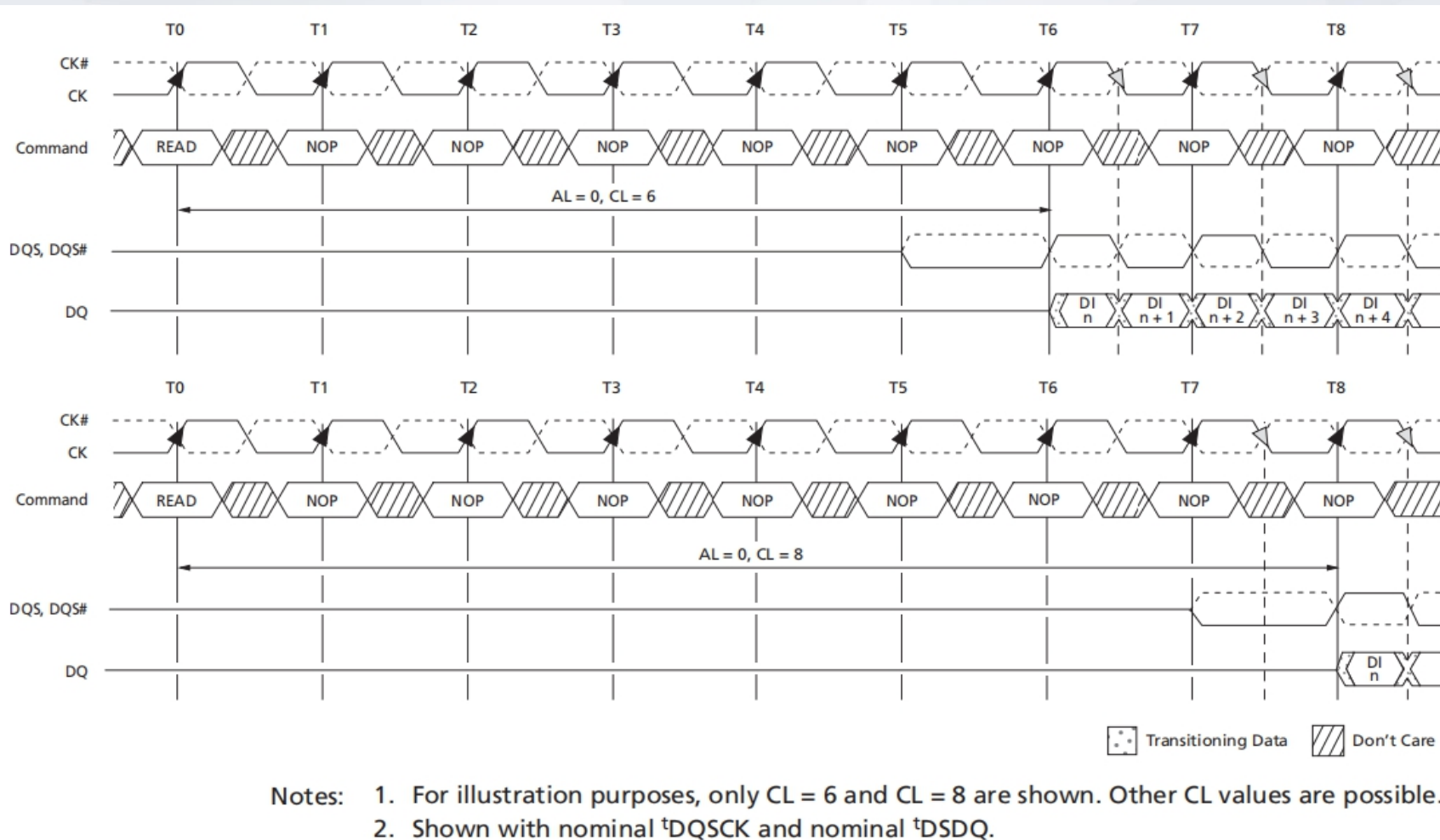


图 7-12 DDR3 读时序

8. MT41J128M16HA-125

实例详解--读时序

图7-13 显示了从激活状态到数据突发写的过程

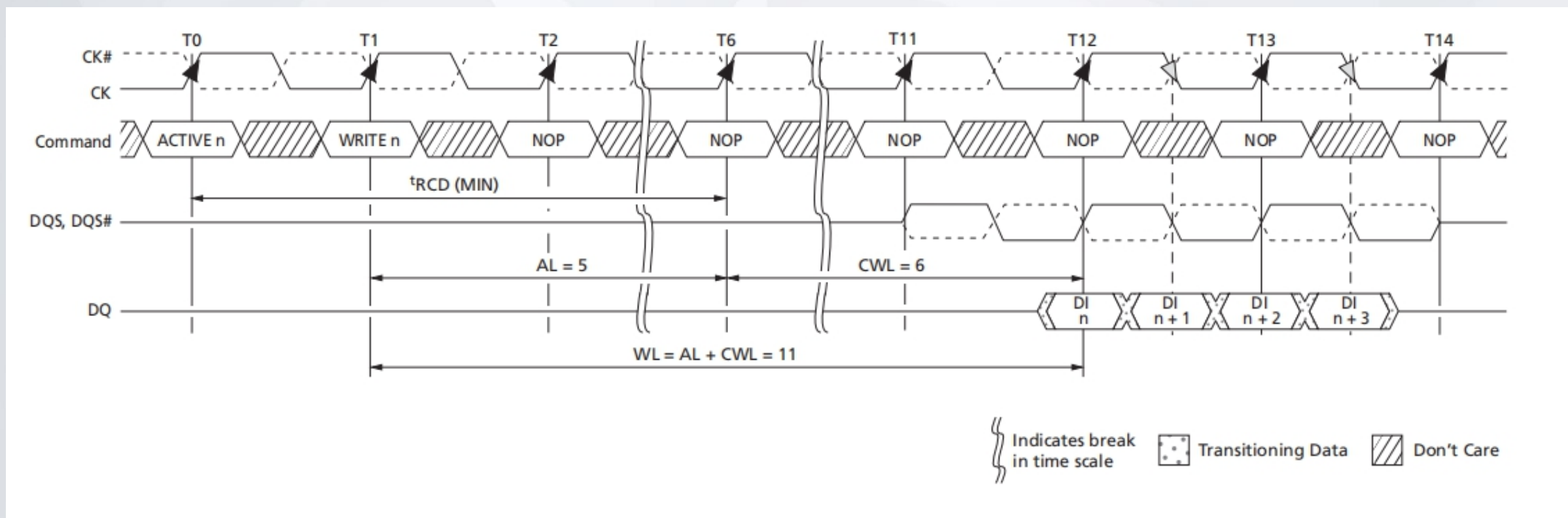


图 7-13 DDR3写时序

第七节 DDR3 SDRAM的基本知识及应用

8. MT41J128M16HA-125

实例详解-硬件设计

图7-13是以XC7a100Fgg676-2为例介绍DDR3的硬件设计，采用FPGA的BANK13。

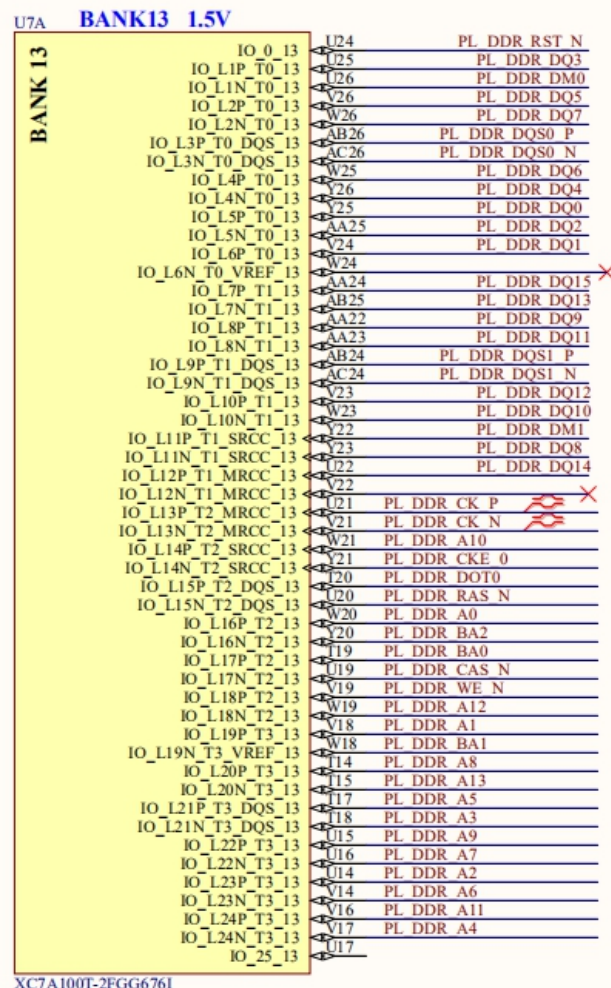
(1) BANK IO 电源为1.5V

(2) DQS--对应DQS的P端（如IO_L9P_T1_DQS_13, DQS# 对应N端。
(2) CK,CK# 选择MRCC，便于时钟布线（Multi-Region Clock Capable pin）

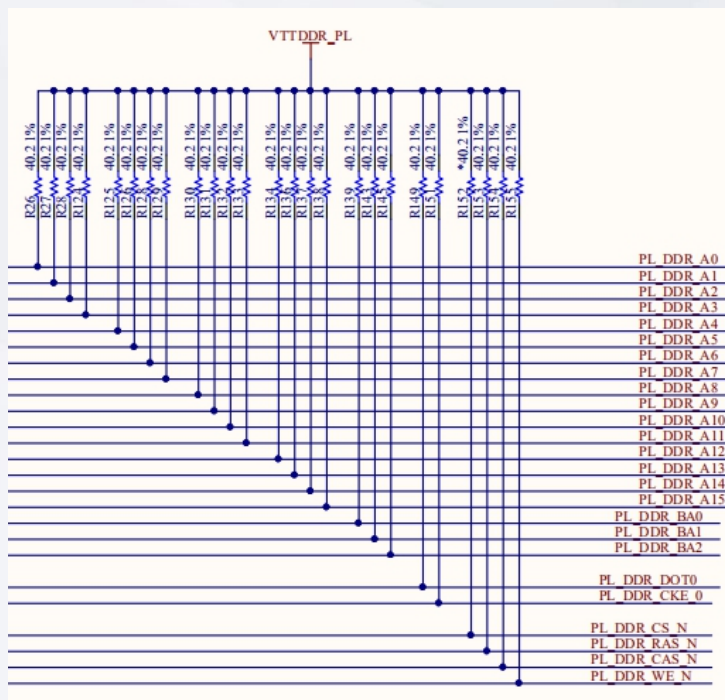
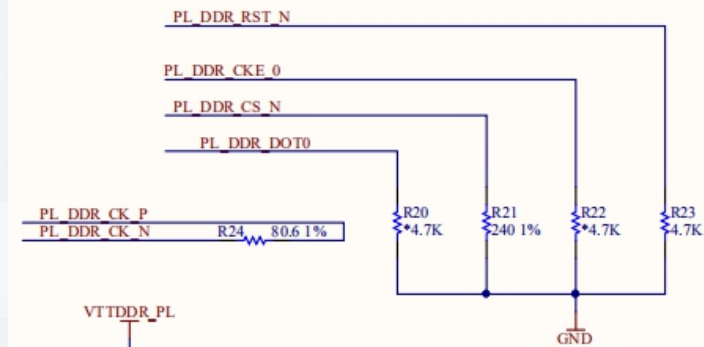
(3) 地址线应对电源由40-60欧姆上拉电阻，具体由线路板的走线阻抗决定。上拉电阻靠近DDR3端

(4) 时钟需要接80-100欧姆的终端电阻，终端要求靠近DDR3芯片

(5) 由于在低于800M的数据吞吐FPGA内部提供数据和控制信号参考，因此本设计没有外加参考电源。



XC7A100T-2FGG6761



第七节 DDR3 SDRAM的基本知识及应用

8. MT41J128M16HA-125

实例详解-硬件设计 25mil

(1) 信号分组: 由于布线的需要在PCB板布线要对信号进行分组

1) 数据线DQ0-DQ7, **DQS0_P,DQS0_N**,DM0, ODT 为一组2) 数据线DQ8-DQ15, **DQS1_P,DQS1_N**,DM1 为一组3) A0-A14,BA0-BA2,WE_N,CAS_N,RAS_N,CKE, **CK_N, CK_P**, RST 为一组

(2) 如果布线资源允许也可以1), 2) 组合并

(3) 布线要求

1) 同组同层

2) 组内要求布线等长(根据不同速度等级, 对等长要求也不同)

3) 差分线等长要求高于单端线

4) 差分线穿层时要求需要保护地

5) 计算单端线的阻抗(或根据阻抗设置线宽线距)

6) 根据布线的需要, DQ0-7的管脚在FPGA端可以互换, DQ8-15的管脚也可以互换

7) A0-14,BA0-2,CS_N,CAS_N,RAS_N,WE_N 管脚在FPGA端也可以互换

8) 如果主控制器是MCU, 应注意A10, A12是特定管脚, 一般不能与其他管脚互换。

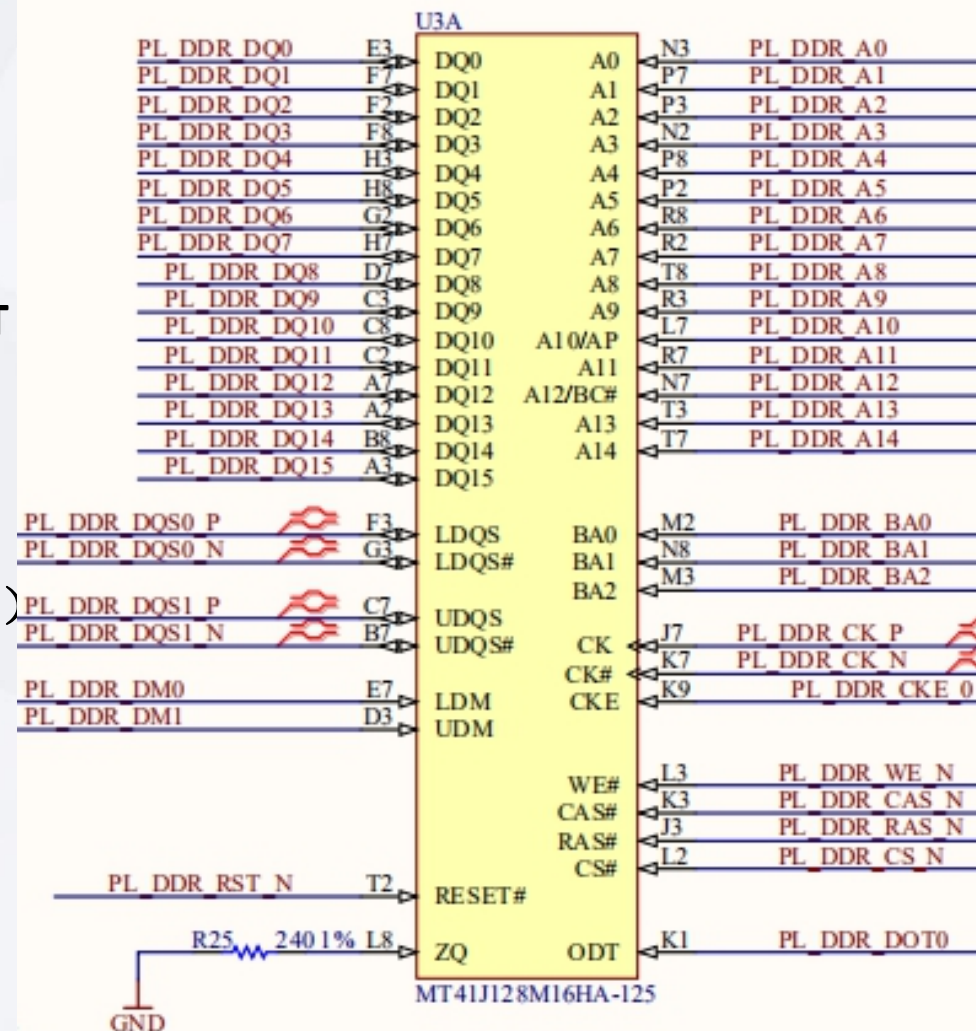


图 7-15 DDR3 接口

第七节 DDR3 SDRAM的基本知识及应用

8. MT41J128M16HA-125

实例详解-硬件设计

(4) 参考电压:

DDR3 SRDRAM有两个参考电压, 分别为

1) V_{REFCA} : 是控制信号, 地址信号的参考电压, ODT等。一般为VDD的一半, 如 $VDD=1.5V$, $V_{REFCA}=0.75V$

2) V_{REFDQ} : DQ, LDM, UDM的参考电压, 一般为 V_{DDQ} 的一半, 约0.75V

3) 如果DDR3的速度比较高尽可能的将两个参考电源分开。如果速度较低也可以合并, 但在每个管脚附近放一个0.1U的电容。

bead

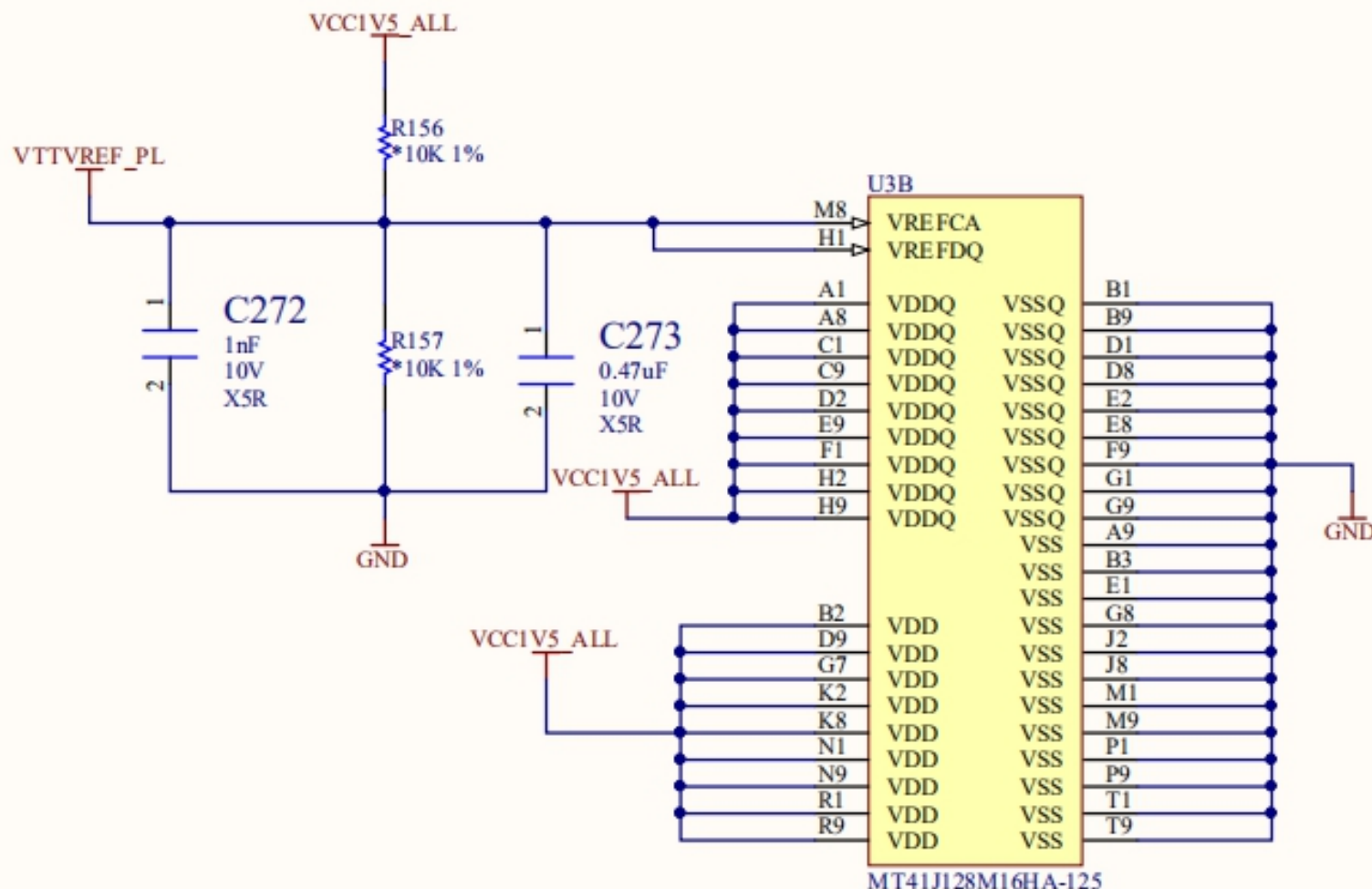


图 7-15 DDR3 接口

THANK YOU!



官方网站: <http://www.icfusion.cn/>



淘宝店铺: <https://shop296232497.taobao.com/>

