

FII-PRA006/010 硬件参考指南

V1.6

FRASER INNOVATION INC

文档版本控制

文档版本	日期	修改内容记录
V1.0	2019/6/25	创建文档
V1.1	2019/7/16	修改工作前检查描述, PCF8591 描述
V1.2	2019/7/19	添加晶振介绍, I2C 各芯片地址
V1.3	2019/8/15	更换全貌图片, 删除资源介绍中重复部分
V1.4	2019/8/18	更正 GPIO LVDS (85,89) 管脚分配
V1.5	2020/4/5	下载前需放入 dII 文件
V1.6	2021/5/21	修改系统框图中 I2C 接口部分, 改正 AD/DA 原理图

版权声明:

本手册版权归属 **Fraser Innovation Inc** 所有, 并保留一切权力。非经本公司(书面形式)同意, 任何单位及个人不得擅自摘录或修改本手册部分或全部内容, 违者将追究其法律责任。

感谢您购买 FII 开发板, 在使用产品之前, 请仔细地阅读该手册并且确保知道如何正确使用该产品, 不合理的操作可能会损坏开发板, 使用过程中随时参考该手册以确保正确使用。此手册不断更新中, 建议您使用时下载最新版本。

公司官方网店:

<https://fpgamarketing.com>

目录

一、简介.....	5
二、认识 PRA006/010.....	8
1) FPGA.....	8
2) USB 接口.....	8
3) 晶振.....	11
4) 数码管.....	11
5) VGA 接口.....	13
6) EEPROM.....	16
7) 千兆以太网口.....	17
8) 按键.....	20
9) AD/DA 热敏、光敏与可调变阻器.....	21
10) 拨码开关.....	23
11) LED.....	24
12) 配置芯片 FLASH.....	25
13) GPIO 扩展接口.....	26
14) JTAG 接口.....	28

Fraser Innovation Inc 基于 Intel Cyclone10 的开发板，FII-PRA006/010 于 2019 年发布。型号为 PRA006/010，虽然是一款入门级的 FPGA 开发平台，但是不管是在系统设计、PCB 设计上，还是在功能打造上都花费了很多心思，可谓是“简约不简单”。



PRA006/010 全貌

一、简介

此款开发板使用的是 Intel 公司的 Cyclone10 系列芯片，型号为 10CL006YE144C8G 或 10CL010YE144C8G。

Cyclone10 系列是 Intel 为适应未来互联时代的数据洪流和急速成长的物联网应用市场而推出的最新一代 FPGA，该系列产品可提供快速、省电的处理能力，并可适用于汽车、工业自动化、专业影音及视觉系统等各种应用。与前几代 Cyclone FPGA 相比，10 系列可节省更多功耗，却能提供高 2 倍的性能。

PRA006/010 系统框图：

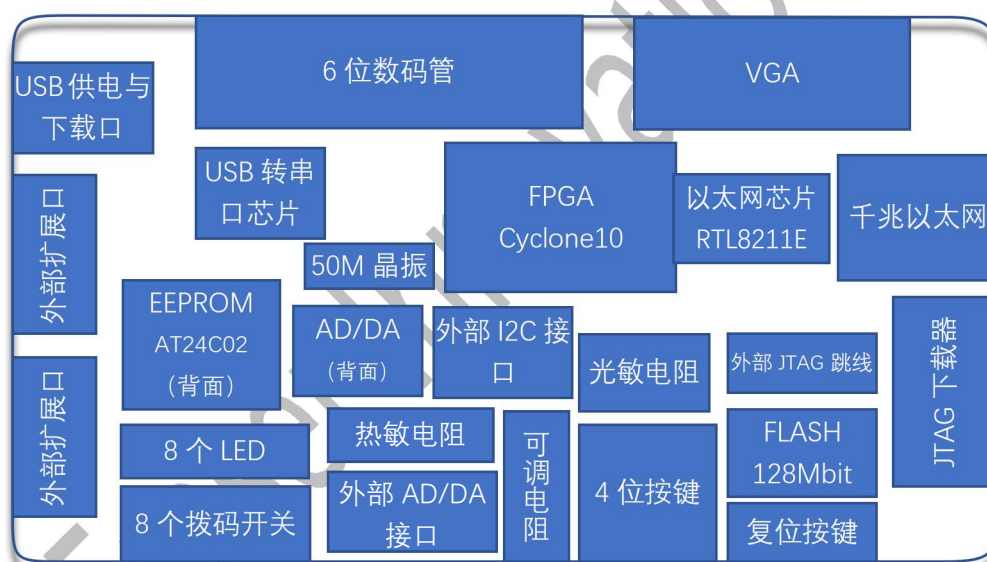


图 1-1 PRA006/010 系统框图

芯片资源：

Resource		10CL006	10CL010
Logic Elements (LE)		6,272	10,320
M9K Memory	Block	30	46
	Capacity(Kb)	270	414
18 x 18 Multiplier		15	23
PLL		2	2
Clock		20	20
Maximum I/O		176	176
Maximum LVDS		65	65

图 1-2 芯片资源

其他参数：

工作温度：0~85℃

内核电压：1.15~1.25V（推荐电压 1.2V）

通过以上介绍，可以看到这个开发平台所能实现的功能。

- ◆ USB 接口供电，同时下载程序，同时作为 USB 转串口使用。实现了一根线完成供电、下载和串口通信的功能；
- ◆ 1 个 50M 晶振，为开发板提供稳定的时钟源；
- ◆ 6 位共阳极数码管，通过动态扫描实现数据的显示；
- ◆ 1 路 VGA 接口，可以实现彩色图片或摄像头视频的显示；
- ◆ 1 片 I2C 接口的 EEPROM 芯片，型号 AT24C02；
- ◆ 1 个自适应十兆/百兆/千兆以太网接口；
- ◆ 5 个按键，4 个为可编程按键，1 个复位按键；
- ◆ 1 个光敏电阻，通过它可模拟灯光控制；1 个热敏电阻通过它可采集温度或模拟温度报警功能；1 个可调电阻通过它可模拟电压变化等；
- ◆ 1 个 PCF8591 AD/DA 转换芯片；
- ◆ 8 位拨码开关；

- ◆ 8 位 LED 发光二极管;
- ◆ 1 片 128Mbit Flash 芯片;
- ◆ 2 个 GPIO 外部信号扩展接口;
- ◆ 1 个 JTAG 接口, 使 PRA006/010 变为一个功能全面的 JTAG 下载器, 可为 Intel, Xilinx 等多个厂商的 FPGA 下载程序;

开发板在工作前, 需先检查电源与下载器跳线是否正确, J9 是对内下载程序还是对外下载程序 (本开发板作为下载器使用) 的选择跳线, 用于对内下载程序, 请连接 “INT”, 作为下载器使用时请连接 “EXT”。J6 选择 FPGA 的 BANK 电源, 一般可选择 5V 和 3.3V。J8 是用来选择 Bank IO 电压的。跳线说明丝印于开发板上, 如下图。

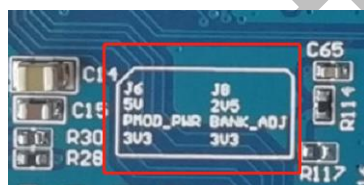


图 1-3 跳线说明

向开发板下载程序前, 请先将资料中提供的 “jtag_hw_mbftdi_blaster64.dll” 文件放到 Quartus 软件安装路径下的 “../quaruts/bin64” 文件夹中, 否则软件无法识别到开发板。

二、认识 PRA006/010

1) FPGA

前面已经介绍过了，此款开发板 FPGA 型号为 10CL006YE144C8G (PRA010 使用的是 10CL010YE144C8G)，是 Intel 最新一代低功耗高性能的 FPGA。



图 2-1 FPGA 实物图

2) USB 接口

板载 USB 接口是一个 microUSB 接口，集供电、程序下载和串口通信功能于一体。

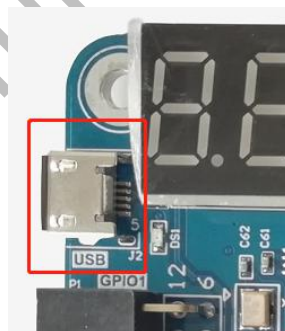


图 2-2 USB 接口实物图

USB 作为通信串口时，它的 D_N、D_P 脚连接到 FT232HL 芯片上 (这是一颗专门用作 USB 转 UART 的芯片)，由 FT232HL 处理后接到 FPGA 和 JTAG 端口上。

引脚名称	FPGA 引脚
JTAG_RXD	143
JTAG_TXD	144

在这里顺便说一下，开发板的供电电路与 FPGA 的电源。当 USB 线 (开发板配套)

连接开发板与电脑 USB 口时，开发板将通过电脑 USB 接口提供的 5V 电源来工作，但并不是直接使用 5V 的电平，而是通过转换芯片，将 5V 电压转到 1.2V，2.5V，3.3V 等需要的电压。下图是原理图中 USB 接口和电源转换芯片部分：

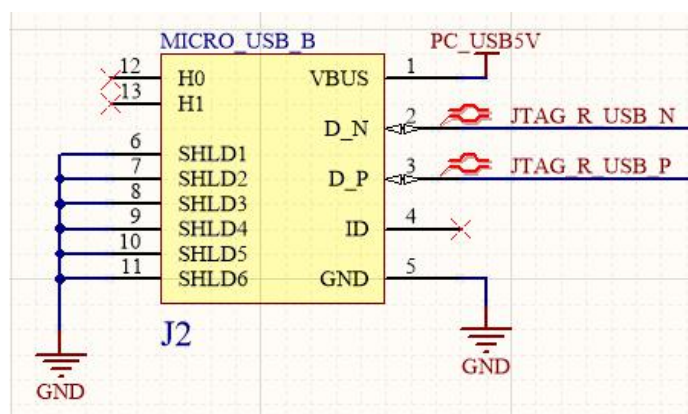


图 2-3 原理图 microUSB 部分

可以看到，由外部输入的电源 PC_USB5V，被连接到了开发板的 5V 电平网络，再由 5V 电平网络转换为 FPGA 需要的 1.2V (FPGA 的内核电压)，2.5V (FPGA 的 BANK 电压) 或 3.3V (FPGA 的 BANK 电压)。其中 2.5V 和 3.3V 都是 FPGA 的 BANK 电压，提供两种电压是为了适应各种外部信号的电平标准。转换电路如下图所示。

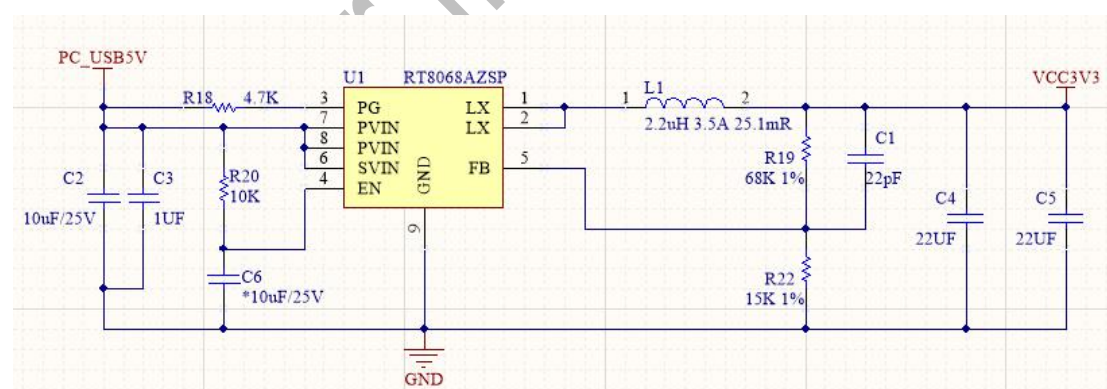
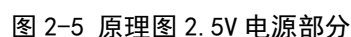


图 2-4 原理图 3.3V 电源部分



U3A

VCC1V2	37	VCCD_PLL1_37
	109	VCCD_PLL2_109
VCC2V5	35	VCCA1_35
	107	VCCA2_107
	5	VCCINT_5
	29	VCCINT_29
	45	VCCINT_45
	61	VCCINT_61
	78	VCCINT_78
	102	VCCINT_102
	116	VCCINT_116
VCC1V2	134	VCCINT_134

10CL006 E144

图 2-7 FPGA 电源引脚

图 2-7 中, VCCD_PLL1_37, VCCD_PLL2_109 是 FPGA 锁相环的电源管脚, 后面的数字 37, 109 是他们在 FPGA 上的管脚编号。VCCINT 即是 FPGA 的内核电压 (FPGA 其他供电部分未列出, 详细信息请翻阅原理图纸)。

3) 晶振

板载 50MHz 有源晶振。时钟输入接入 FPGA 的 91 引脚上。原理图如下：

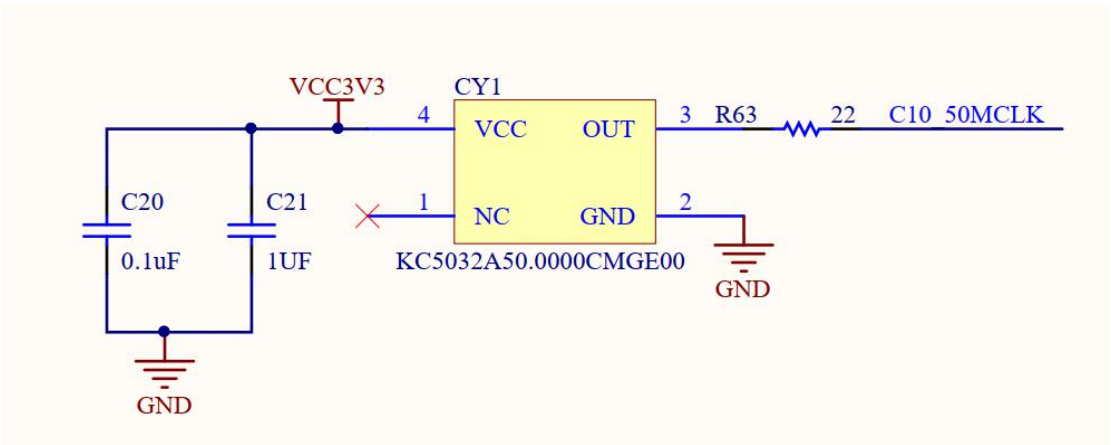


图 3-1 原理图晶振部分

实物图：



图 3-2 晶振实物图

引脚分配

引脚名称	FPGA 引脚
CLK_50M	91

4) 数码管



图 4-1 六位数码管实物图

数码管的一种是半导体发光器件，数码管可分为七段数码管和八段数码管，区别在于八段数码管比七段数码管多一个用于显示小数点的发光二极管单元 DP（decimal point），其基本单元是发光二极管。数码管的段结构如下图所示：

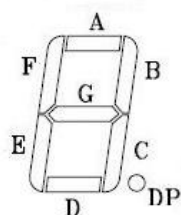


图 4-2 数码管的段结构

这里使用的是共阳极数码管，共阳极顾名思义，就是将发光二极管的阳极连接在一起。

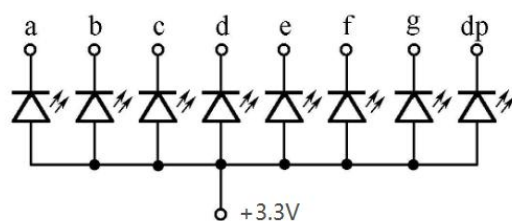


图 4-3 共阳极数码管原理图

为了点亮 8 段 LED 管的某一段，就需要把相应引脚的电平拉低；当引脚置为高电平时，相应的字段就不会点亮。本开发板上采用的是 6 位一体的八段数码管，其原理图如下图所示：

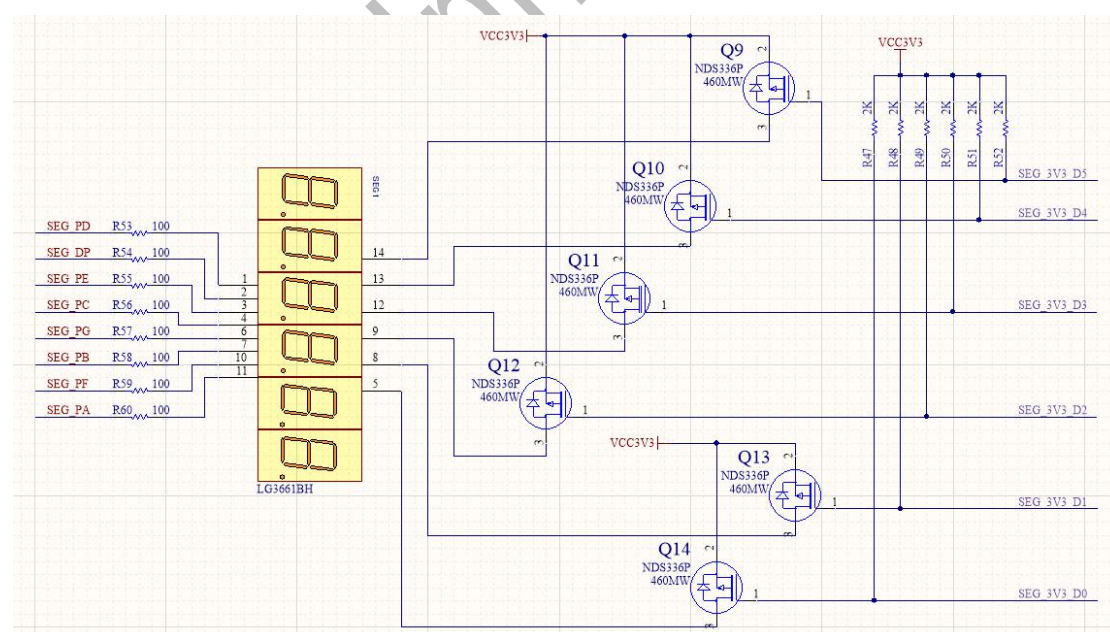


图 4-4 原理图数码管部分

六位一体数码管是属于动态显示，由于人的视觉暂留现象及发光二极管的余辉效应，尽管实际上各位数码管并非同时点亮，但只要扫描的速度足够快，给人的印象就是一组稳定的

显示数据，不会有闪烁感。六位一体数码管的相同的段都接在了一起，一共是 8 个引脚，然后加上 6 个控制信号引脚，一共是 14 个引脚，如图 4-4 所示。其中 SEG_PA、SEG_PB、SEG_PC、SEG_PD、SEG_PE、SEG_PF、SEG_PG、SEG_DP 对应数码管的 A,B,C,D,E,F,G, DP；SEG_3V3_D[0..5]是六个数码管的六个控制引脚，也是低电平有效，当控制引脚为低电平时，对应的数码管有了供电电压，这样数码管才能点亮，否则无论数码管的段如何变化，也不能点亮对应的数码管。

数码管引脚分配

引脚名称	FPGA 引脚	说明
SEG PA	132	段 A
SEG PB	137	段 B
SEG PC	133	段 C
SEG PD	125	段 D
SEG PE	126	段 E
SEG PF	138	段 F
SEG PG	135	段 G
SEG DP	128	段 DP
SEG_3V3_D0	136	右边数第一个数码管
SEG_3V3_D1	142	右边数第二个数码管
SEG_3V3_D2	141	右边数第三个数码管
SEG_3V3_D3	129	右边数第四个数码管
SEG_3V3_D4	127	右边数第五个数码管
SEG_3V3_D5	124	右边数第六个数码管

5) VGA 接口

VGA (Video Graphics Array) 接口是电脑显示器的常用接口，从最早的 CRT 显示器开始 VGA 接口就被使用，并一直沿用至今。VGA 接头是一种 D 型接口，共有 15 个针孔，分为 3 排，每排 5 个。比较重要的是 3 根 RGB 彩色分量信号针和 2 根扫描同步信号(HSYNC 和 VSYNC) 针。

引脚 1、2、3 分别为红绿蓝三基色模拟电压，为 0~0.714V peak-peak (峰-峰值)，0V 代表无色，0.714V 代表满色。一些非标准显示器使用的是 1Vpp 的满色电平。

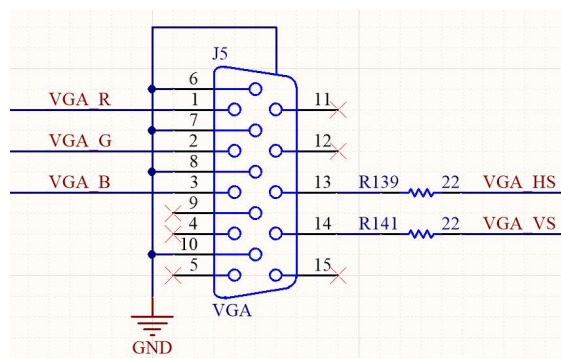


图 5-1 原理图 VGA 部分

三基色源端及终端匹配电阻均为 75 欧姆。如图 5-1 所示

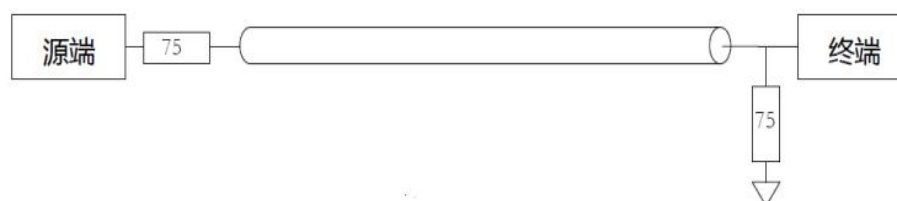


图 5-2 VGA 信号传输示意图

HSYNC 和 VSYNC 分别为行数据同步和帧数据同步，为 TTL 电平。FPGA 只能输出数字信号，而 VGA 需要的 R、G、B 是模拟信号，所以需要进行模拟-数字转换即 DAC 功能。实现视频 DAC 可以选用专用的芯片，也可以使用电阻网络，这里选用后者作为 DAC。

开发板选用的是 4:4:4 模式，也就是红色用 4bit，绿色用 4bit，蓝色用 4bit 来表示。下面以红色 4bit 来说明电阻的选取。

由于 DAC 是一个线性的模型，所以当红色 4bit 输出都是高电平的时候，需要得到 0.714V 的电压，拓扑结构如图 5-3 所示。

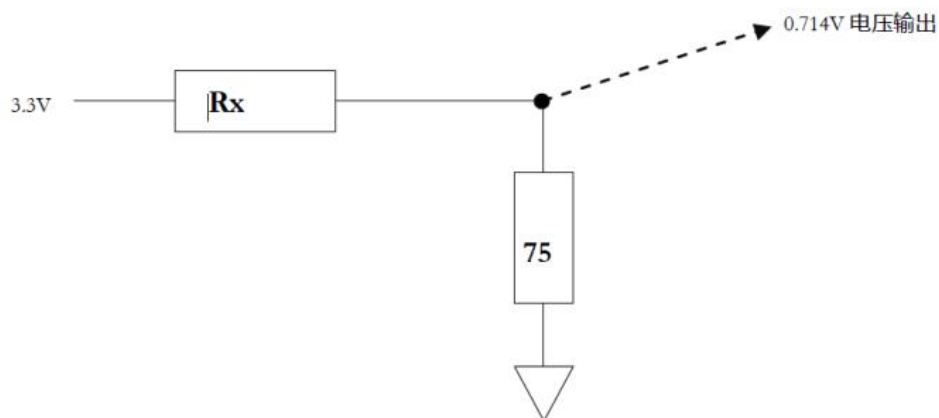


图 5-3 权电阻模式拓扑示意图

FPGA 的输出电压为 3.3V, R_x 为 4bit 电阻网络并联而得, 所以可以得到如下方程:

$$(R_x + 75) / 3.3 = 75 / 0.714$$

设基准电阻为 R_a , 则:

$$R_a // 2R_a // 4R_a // 8R_a = R_x$$

根据以上 2 个方程, 求解得到, $R_x = 271.6$, $R_a = 509.2$ 。所以这里选择 500, 1k, 2k, 4k

作为电阻网络电阻。如下图所示:



图 5-4 VGA 权电阻网络



图 5-5 VGA 接口实物图

VGA 引脚分配

引脚名称	FPGA 引脚	说明
VGA HS	98	行同步信号
VGA VS	99	场同步信号
VGA R0	100	Red[0]
VGA R1	101	Red[1]
VGA R2	103	Red[2]
VGA R3	105	Red[3]
VGA G0	106	Green[0]
VGA G1	111	Green[1]
VGA G2	112	Green[2]
VGA G3	113	Green[3]
VGA B0	114	Blue[0]
VGA B1	115	Blue[1]
VGA B2	119	Blue[2]
VGA B3	120	Blue[3]

6) EEPROM

EEPROM 一般用在仪器仪表等设计上，常用作一些参数的存储，掉电不丢失，操作简单，是非常理想的存储器件。

开发板板载了一片 EEPROM，型号为 AT24C02，容量为 2Kbit (256*8bit)，由 1 个 256byte 的 block 组成，通过 IIC 总线进行通信。

IIC (Inter-Integrated Circuit) 字面上的意思是集成电路之间，它其实是 IIC Bus 简称，

所以中文应该叫集成电路总线，它是一种串行通信总线，使用多主从架构，由飞利浦公司在 1980 年代为了让主板、嵌入式系统或手机用以连接低速周边设备而发展。也写为 “I²C” 、 “I2C”，正确读法为 “I 方 C” (“I-squared-C”)。

板载 EEPROM 就是为了学习 IIC 总线的通信方式。图 6-1 为 EEPROM 的原理图

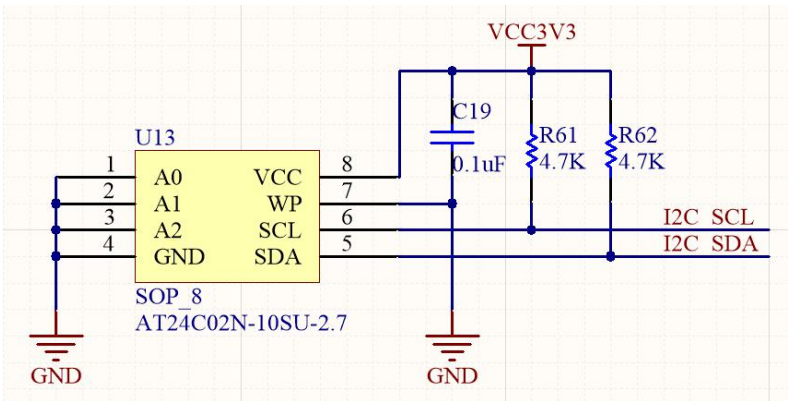


图 6-1 原理图 EEPROM 部分

可以看到芯片的地址线 A2、A1、A0 都连接了 GND，故芯片的通信地址是 7'B1010000 (此芯片前四位地址为固定的 1010)。

此芯片位于开发板的背面，图 6-2 为实物图



图 6-2 EEPROM 实物图

EEPROM 引脚分配

引脚名称	FPGA 引脚
SDA	1
SCL	2

7) 千兆以太网口

以太网作为目前最为常用的数据通信方式，相信大家对它再熟悉不过了，在日常生活中，

可以说它无处不在。以太网从最初的 10Mb/s, 到后来的 100Mb/s 再到 1000Mb/s, 其速度越来越快。

开发板搭载了一颗 RTL8211E 千兆以太网芯片。TL8211E 是 Realtek 推出的一款高集成的网络接收 PHY 芯片, 它符合 10Base-T, 100Base-TX 和 1000Base-T IEEE802.3 标准, 可以通过 CAT 5 UTP 电缆及 CAT 3 UTP 电缆传输网络数据, 该芯片在网络通信中属于物理层, 用于 MAC 与 PHY 之间的数据通信。主要应用于网络接口适配器, 网络集线器, 网关以及一些嵌入式设备当中。

RTL8211E 的主要功能特性包括:

- 1、符合 1000Base-T IEEE802.3ab 标准
- 2、符合 100Base-TX IEEE802.3u 标准
- 3、符合 10Base-T IEEE802.3 标准
- 4、支持 IEEE 802.3 RGMII 接口
- 5、支持 IEEE 802.3 GMII、MII 接口, 仅 RTL8211EG 支持
- 6、支持网络唤醒功能
- 7、支持中断功能
- 8、支持交叉检测及自动校正
- 9、支持半双工、全双工操作
- 10、1000M 通信用 CAT 5 网线可达到 100m
- 11、RGMII 接口可支持 3.3V、2.5V、1.8V、1.5V 信号
- 12、可提供三种网络状态的 LED 指示

其原理图如下:

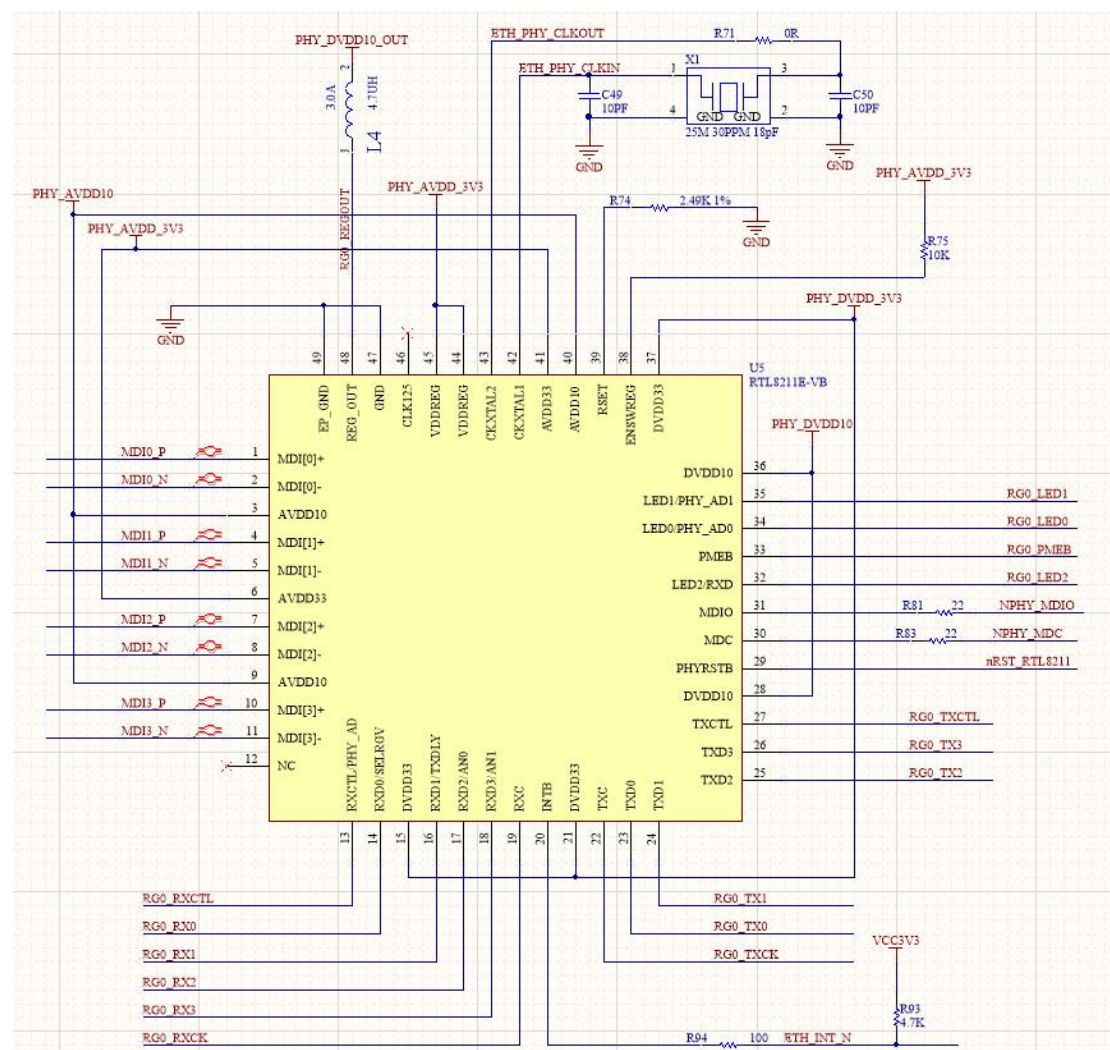


图 7-1 原理图中千兆网芯片部分

图 7-2 为实物图



图 7-2 千兆网实物图

千兆网引脚分配

引脚名称	FPGA 引脚
RG0_RXCTL	34
RG0_RX0	33
RG0_RX1	32
RG0_RX2	31
RG0_RX3	28

RG0_RXCK	24
RG0_TXCK	43
RG0_TX0	51
RG0_TX1	50
RG0_TX2	49
RG0_TX3	46
RG0_TXCTL	42
NPHY_MDC	38
NPNY_MDIO	39

8) 按键

开发板板载了 5 个按键, 其中 4 个为可编程按键, 1 个为系统复位按键。默认为低电平, 按下为高电平。原理图如图 8-1

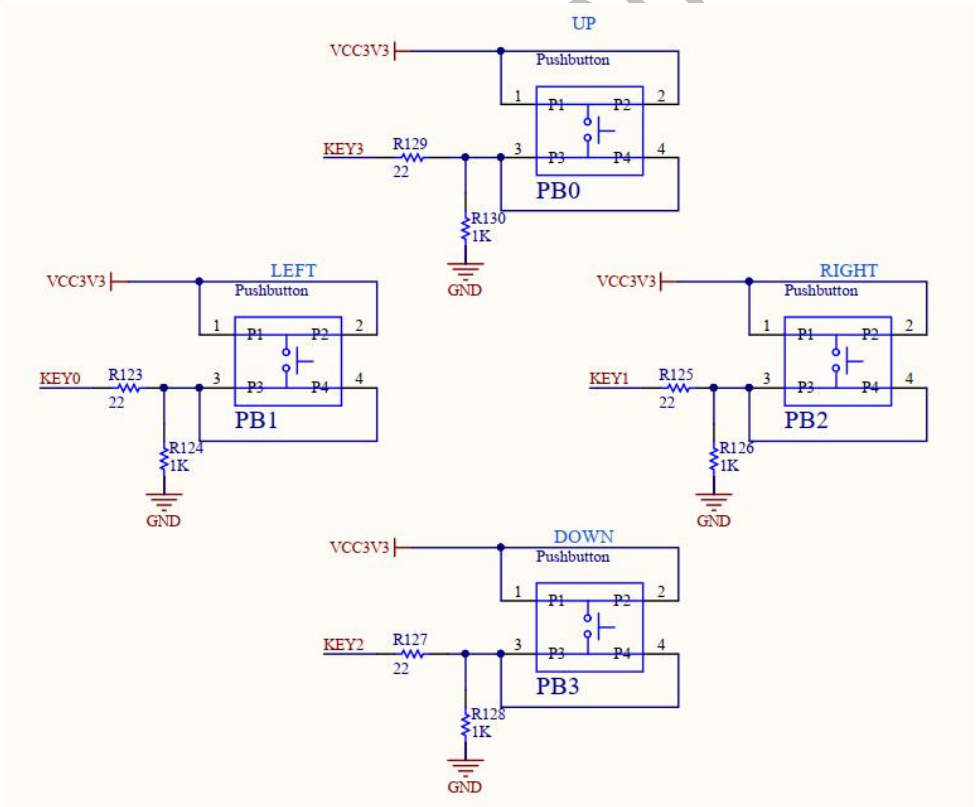


图 8-1 原理图按键部分

实物图如图 8-2:

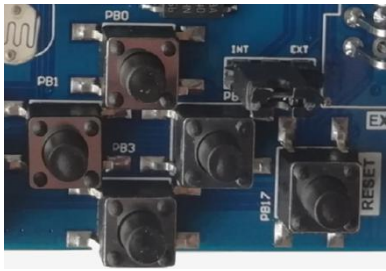


图 8-2 按键实物图

按键引脚分配

引脚名称	FPGA 引脚	说明
PB0	11	up
PB1	3	left
PB2	7	right
PB3	10	down

9) AD/DA 热敏、光敏与可调变阻器

PCF8591 芯片是一颗单片集成、单独供电、低功耗、8-bit CMOS 数据获取器件。它具有 4 个模拟输入、1 个模拟输出和 1 个串行 I2C 总线接口。PCF8591 的 3 个地址引脚 A0, A1 和 A2 可用于硬件地址编程（开发板上这 3 个地址都接到 GND，也就是器件地址为 7 'B1001000），允许在同一条 I2C 总线上接入 8 个 PCF8591 器件，而无需额外的硬件。在 PCF8591 器件上输入输出的地址、控制和数据信号都是通过双线双向 I2C 总线以串行的方式进行传输。PCF8591 的芯片特性：

- 1、操作电压范围 2.5V-6V
- 2、低待机电流
- 3、通过 I2C 总线串行输入/输出
- 4、通过 3 个硬件地址引脚寻址
- 5、最大采样率由 I2C 总线速率决定
- 6、4 个模拟输入可编程为单端型或差分输入
- 7、自动增量频道选择

- 8、模拟电压范围从 VSS 到 VDD
- 9、内置跟踪保持电路
- 10、8-bit 逐次逼近 A/D 转换器
- 11、通过 1 路模拟输出实现 DAC 增益

原理图如图 9-1:

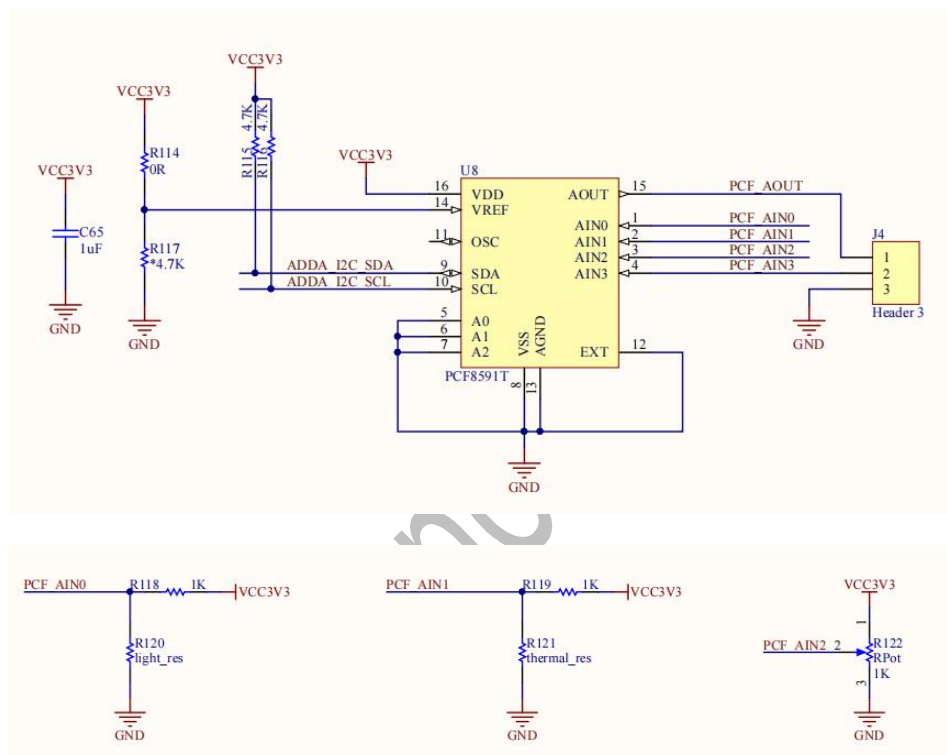


图 9-1 原理图 AD/DA 部分

实物图如图 9-2: (芯片在开发板背面)



图 9-2 PCF8591 实物图



图 9-3 热敏、光敏与可调变阻器

PCF8591 引脚分配

引脚名称	FPGA 引脚
ADDA_I2C_SAD	52
ADDA_I2C_SCL	53

10) 拨码开关

板载了 8 位开关，它们和 8 位 LED 灯共用 FPGA 的管脚。当拨码开关拨通时，FPGA 管脚得到高电平。其原理图如下：

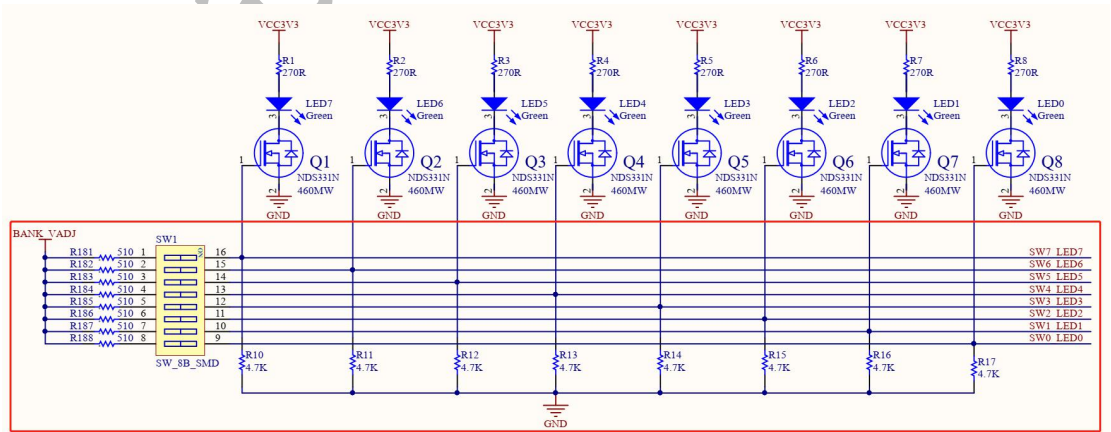


图 10-1 原理图拨码开关部分

实物图如图 10-2 所示

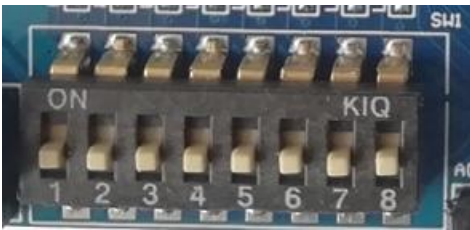


图 10-2 拨码开关实物图

需要注意的是，器件上标注的编号，1-8，并非是电路设计里的编号，原理图中 SW0 对应的是实物图中从右向左数第一个开关，SW1 对应实物图中从右向左数第二个开关，依次类推。

开关引脚分配

引脚名称	FPGA 引脚	说明
SW0_LED0	80	从右向左第一个
SW1_LED1	83	从右向左第二个
SW2_LED2	86	从右向左第三个
SW3_LED3	87	从右向左第四个
SW4_LED4	74	从右向左第五个
SW5_LED5	75	从右向左第六个
SW6_LED6	76	从右向左第七个
SW7_LED7	77	从右向左第八个

11) LED

开发板板载了 8 个 LED 发光二极管，引脚高电平时 LED 发光，低电平时 LED 不发光。需注意的是，正如上一节中说过的，LED 和拨码开关是共用 FPGA 引脚的，当 FPGA 引脚不输出时，由于电路本身的特性，拨码开关闭合时对应线路的 LED 灯也会亮。如果 FPGA 引脚有输出，输出为高，LED 会维持点亮，FPGA 输出为低，LED 会熄灭。也就是说，LED 灯的亮灭只受 FPGA 控制，不受拨码的控制。原理图如图 11-1 所示

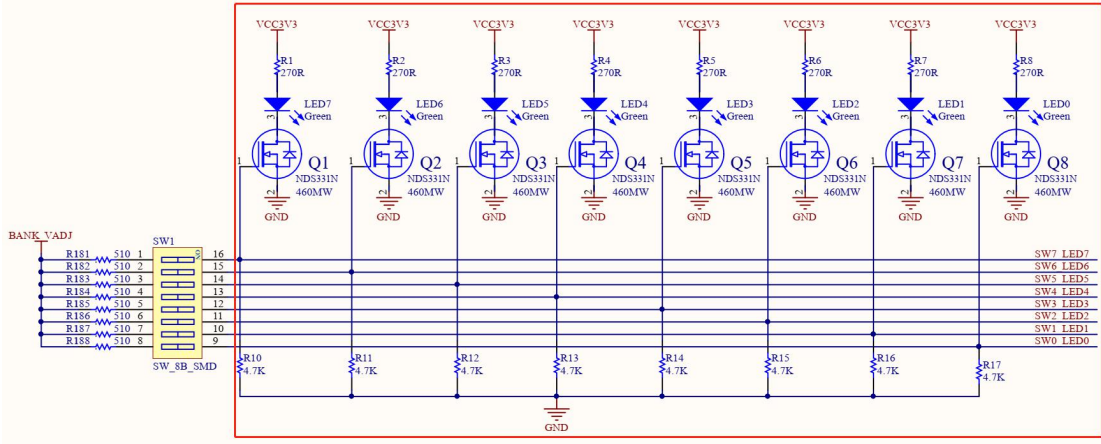


图 11-1 原理图 LED 部分

实物图如图 11-2



图 11-2 8 位 LED 灯实物图

LED 引脚分配

引脚名称	FPGA 引脚	说明
SW0_LED0	80	从右向左第一个
SW1_LED1	83	从右向左第二个
SW2_LED2	86	从右向左第三个
SW3_LED3	87	从右向左第四个
SW4_LED4	74	从右向左第五个
SW5_LED5	75	从右向左第六个
SW6_LED6	76	从右向左第七个
SW7_LED7	77	从右向左第八个

12) 配置芯片 FLASH

N25Q128A 是一个串行 FLASH 芯片，容量为 128Mbit，对于存储 FPGA 中的程序来说，这个容量绰绰有余。图 12-1 为 N25Q128A 在原理图中的部分。

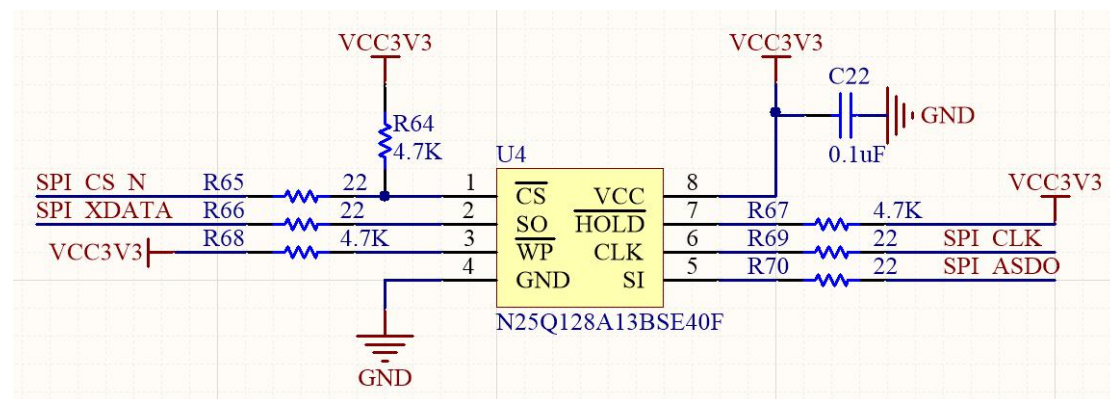


图 12-1 原理图 FLASH 部分

实物图如图 12-2



图 12-2 FLASH 芯片实物图

13) GPIO 扩展接口

开发板预留了 2 个 GPIO 接口，P1 和 P2。P1 接口含有 6 路标准 IO 引脚的 PFGA 资源，2 个 GND 信号，2 个可调节的电源信号。P2 接口含有 3 对 LVDS 信号，也可作为 6 路标准 IO 使用；1 对时钟信号，既可以做普通时钟，也可以做 LVDS 时钟，也可以做 2 路标准 IO 或 1 对 LVDS 信号；2 个 GND 信号，以及 2 个可调节的电源信号。可搭配 BD5640-PMOD 摄像头子板，或 BD9226 高速 AD 子板使用。子板在官方网店均有售。

原理图如下：

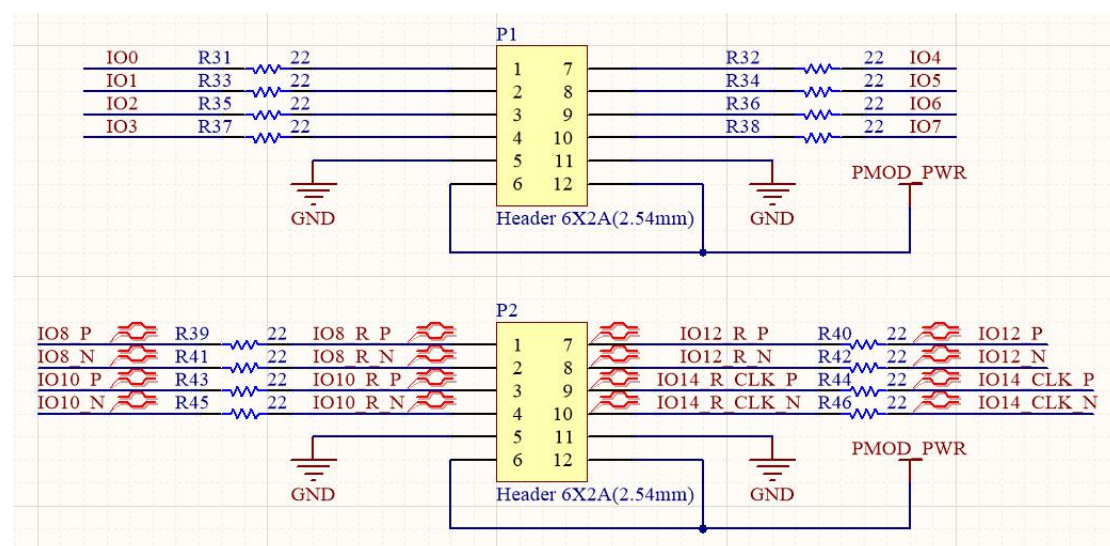


图 13-1 原理图 GPIO 部分

实物图如图 13-2 所示



图 13-2 GPIO 实物图

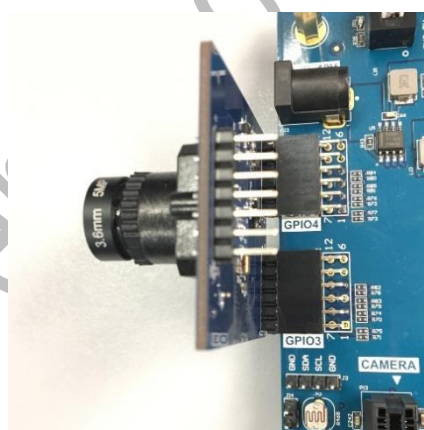


图 13-3 GPIO 接口搭配 BD5640-PMOD 摄像头子板



图 13-4 GPIO 接口搭配 BD9226 高速 AD 子板

GPIO 引脚分配

引脚名称	FPGA 引脚	说明
IO0	72	P1-1/标准 IO
IO1	68	P1-2/标准 IO
IO2	66	P1-3/标准 IO
IO3	58	P1-4/标准 IO
GND		P1-5/GND
VCC		P1-6/VCC
IO4	73	P1-7/标准 IO
IO5	69	P1-8/标准 IO
IO6	67	P1-9/标准 IO
IO7	65	P1-10/标准 IO
GND		P1-11/GND
VCC		P1-12/VCC
IO8_P	54	P2-1/LVDS_P
IO8_N	55	P2-2/LVDS_N
IO10_P	70	P2-3/LVDS_P
IO10_N	71	P2-4/LVDS_N
GND		P2-5/GND
VCC		P2-6/VCC
IO12_P	59	P2-7/LVDS_P
IO12_N	60	P2-8/LVDS_N
IO14_CLK_P	85/89	P2-9/LVDS_CLK_P
IO14_CLK_N	84/88	P2-10/LVDS_CLK_N
GND		P2-11/GND
VCC		P2-12/VCC

14) JTAG 接口

PRA006/010, 既可以作为一个功能全面的开发板使用, 又可以作为 JTAG 下载器使用。

作为开发板使用时, 如本文档简介中所讲的那样, 需要将 J9 的跳线连接到“INT”位置,

这样 usb 线可以为本板 FPGA 下载程序; 如果把 J9 的跳线连接到“EXT”位置, 即可将开

发板当作下载器使用。

此外, JTAG 接口中, 含有一组串口通信线, 可作为开发板对外的串口通信使用。JTAG

原理如图 14-1 所示:

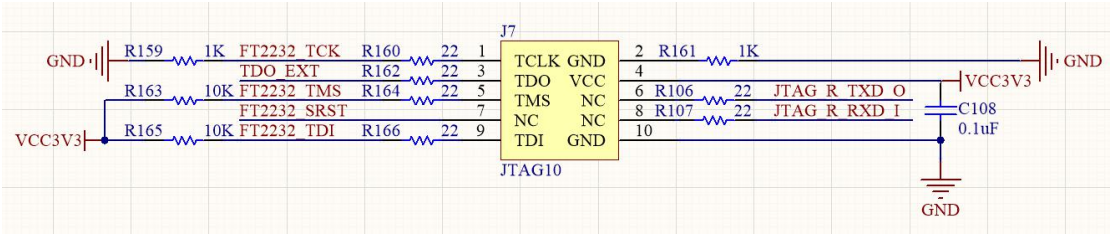


图 14-1 原理图 JTAG 接口部分

实物图如图 14-2 所示



图 14-2 JTAG 接口实物图

JTAG 引脚分配

引脚名称	FPGA 引脚	说明
TCK	16(TCK)	JTAG-1 针
GND		JTAG-2 针
TDO	20(TDO)	JTAG-3 针
VCC		JTAG-4 针
TMS	18(TMS)	JTAG-5 针
TXD	144	JTAG-6 针
SRST		JTAG-7 针
RXD	143	JTAG-8 针
TDI	15(TDI)	JTAG-9 针
GND		JTAG-10 针